

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-238306

(P2012-238306A)

(43) 公開日 平成24年12月6日(2012.12.6)

(51) Int.Cl.  
G06F 15/17 (2006.01)

F I  
G06F 15/17 635B

テーマコード (参考)  
5B045

審査請求 未請求 請求項の数 20 O L (全 17 頁)

(21) 出願番号 特願2012-107015 (P2012-107015)  
 (22) 出願日 平成24年5月8日(2012.5.8)  
 (31) 優先権主張番号 13/103,609  
 (32) 優先日 平成23年5月9日(2011.5.9)  
 (33) 優先権主張国 米国 (US)

(71) 出願人 504199127  
 フリースケール セミコンダクター イン  
 コーポレイテッド  
 アメリカ合衆国 テキサス州 78735  
 オースティン ウィリアム キャノン  
 ドライブ ウェスト 6501  
 (74) 代理人 100107766  
 弁理士 伊東 忠重  
 (74) 代理人 100070150  
 弁理士 伊東 忠彦  
 (74) 代理人 100091214  
 弁理士 大貫 進介

最終頁に続く

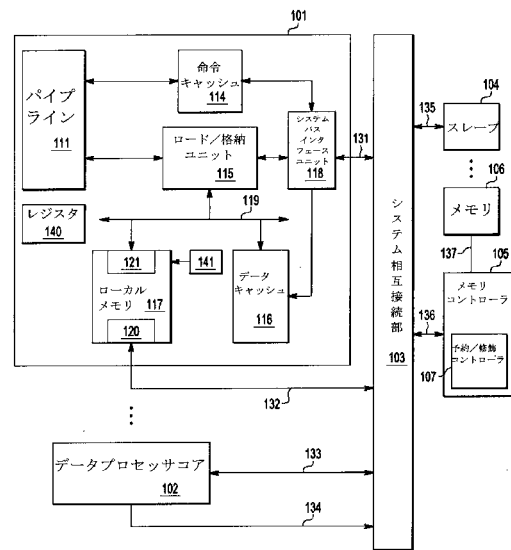
(54) 【発明の名称】 ルーティングのための方法及び装置

(57) 【要約】

【課題】 データプロセッサコアのサイズ及び遅延を小さくすること。

【解決手段】 データプロセッサが開示され、該データプロセッサが、該データプロセッサ外部のデータ経路を通して要求をルーティングすることによって該データプロセッサのローカルメモリをアクセスする。予約/修飾コントローラが、ローカルメモリをアクセスするための受信される要求に関連される特定動作を実行される。特定動作に加えて、データプロセッサコアのローカルメモリをアクセスするために予約/修飾コントローラに関連するメモリコントローラが相当するアクセス要求をデータプロセッサコアにルーティングする。

【選択図】 図 1



【図 1】

**【特許請求の範囲】****【請求項 1】**

データプロセッサコアで実行されるアクセス命令が特定のアクセス命令であるか否かを決定するステップと、

前記アクセス命令が前記特定のアクセス命令であったことに応答して、前記データプロセッサコア外部のトランザクションを用いてデータプロセッサコアのローカルメモリにアクセスするためのアクセス命令に基づいて、アクセス情報を選択的にルーティングするステップと

を有し、前記特定のアクセス命令はアトミックアクセス命令または修飾アクセス命令の内の少なくとも一方である、方法。

10

**【請求項 2】**

前記アクセス命令が特定のアクセス命令ではなかったことに応答して、前記データプロセッサコア内部のトランザクションを用いて前記データプロセッサコアの前記ローカルメモリにアクセスするためにアクセス情報を選択的にルーティングするステップをさらに含む、請求項 1 に記載の方法。

**【請求項 3】**

前記決定するステップが前記アクセス情報に埋め込まれている情報に基づいて行われる、請求項 2 に記載の方法。

**【請求項 4】**

前記決定するステップがレジスタ情報に基づいて行われる、請求項 2 に記載の方法。

20

**【請求項 5】**

前記データプロセッサコア外部のトランザクションを用いる際に、前記データプロセッサコアのポートから、前記データプロセッサコア外部のシステムリソースへ、および前記ローカルメモリにアクセスするための前記アクセス情報を前記データプロセッサコアへルーティングするのに使用されるシステムリソースへ、前記アクセス情報をルーティングする、請求項 1 に記載の方法。

**【請求項 6】**

前記ローカルメモリへアクセス情報を選択的にルーティングしたことに応答して、前記アクセス情報に基づいてアクセスされるデータを前記システムリソースにおいて前記ローカルメモリから受信するステップをさらに含む、請求項 5 に記載の方法。

30

**【請求項 7】**

前記データプロセッサコア外部のトランザクションを用いる際に、前記データプロセッサコアの第 1 ポートから、前記ローカルメモリにアクセスするために前記データプロセッサコアの第 2 ポートを介して前記データプロセッサコアへ前記アクセス情報をルーティングするために使用される前記データプロセッサコア外部のシステムリソースへ、前記アクセス情報をルーティングする、請求項 2 に記載の方法。

**【請求項 8】**

前記システムリソースにおいて、前記アクセス命令がアトミックアクセス命令であったことに応答して、前記アクセス情報に関連するメモリがアトミックにアクセスされることを保障するステップをさらに含む、請求項 5 に記載の方法。

40

**【請求項 9】**

前記システムリソースにおいて、前記アクセス命令が修飾アクセス命令であったことに応答して、前記ローカルメモリに格納されるアクセス情報を処理するステップをさらに含む、請求項 5 に記載の方法。

**【請求項 10】**

プログラマブル指示子が、前記データプロセッサコア外部のトランザクションの使用が可能である(イネーブルである)ことを示す第 1 状態であるか又は前記データプロセッサコア外部のトランザクションの使用が可能でない(イネーブルでない)ことを示す第 2 状態であるかを決定するステップと、

前記プログラマブル指示子がイネーブルであることを示していたことに応答して、前記

50

データプロセッサコア外部のトランザクションを用いて前記選択的なルーティングを実行するステップと、

前記プログラマブル指示子がイネーブルでないことを示していたことに応答して、前記データプロセッサ外部のいかなるトランザクションも使用せずに、前記特定のアクセス命令による前記アクセス情報を前記ローカルメモリへ選択的にルーティングするステップとをさらに含む、請求項 1 に記載の方法。

【請求項 1 1】

前記特定のアクセス命令はアトミック命令である、請求項 1 に記載の方法。

【請求項 1 2】

前記特定のアクセス命令は修飾アクセス命令である、請求項 1 に記載の方法。

10

【請求項 1 3】

第 1 のローカルメモリを有する第 1 のデータプロセッサコアを含む複数のデータプロセッサコアと、

前記データプロセッサコア外部のシステムリソースモジュールと、

前記システムリソースモジュール及び前記第 1 のローカルメモリに結合されたシステム相互接続部と

を有する装置であって、前記第 1 のデータプロセッサコアは、前記アクセス命令が少なくとも 1 つのアトミックアクセス命令または修飾アクセス命令を含む特定のアクセス命令であったことに応答して、前記第 1 のデータプロセッサコアの命令プロセッサパイプラインにおいて実行される前記アクセス命令に関連するアクセス情報を、前記システムリソースモジュールへ選択的にルーティングする、装置。

20

【請求項 1 4】

前記システムリソースモジュールは、前記アクセス命令が前記特定のアクセス命令として確認されたことに応答して、前記第 1 のローカルメモリにアクセスするために前記アクセス情報を前記第 1 のデータプロセッサコアにさらにルーティングする、請求項 1 3 に記載の装置。

【請求項 1 5】

前記命令プロセッサパイプラインは、前記アクセス命令が前記特定のアクセス命令であるか否かを決定し、前記命令プロセッサパイプラインはさらに、前記アクセス命令が前記特定のアクセス命令ではなかったことに応答して、前記システムリソースモジュールを使用せずに、前記アクセス命令に関連する前記アクセス情報を前記第 1 のローカルメモリへ選択的にルーティングし、前記第 1 のローカルメモリが前記第 1 のデータプロセッサコアに対してローカルにアクセスできるようにする、請求項 1 3 に記載の装置。

30

【請求項 1 6】

前記システム相互接続部に接続された第 1 のポートと前記システム相互接続部に接続された第 2 のポートとをさらに備え、前記第 1 のデータプロセッサコアは、前記アクセス命令が前記特定のアクセス命令として認識されたことに応答して、前記アクセス情報を前記第 1 のポートを介して前記システムリソースモジュールへ選択的にルーティングし、前記システムリソースモジュールは、前記データプロセッサの前記第 2 のポートを介して前記アクセス情報を前記第 1 のローカルメモリへ与える、請求項 1 3 に記載の第 1 プロセッサコア。

40

【請求項 1 7】

前記複数のデータプロセッサコアが前記システム相互接続部に接続された第 2 のデータプロセッサコアをさらに含み、前記第 2 データプロセッサコアは第 2 のローカルメモリを備え、

前記第 2 のデータプロセッサコアは、前記第 2 のアクセス命令が前記特定のアクセス命令として認識されたことに応答して、前記第 2 のデータプロセッサコアの命令プロセッサパイプラインが実行するアクセス命令に関連するアクセス情報を、前記システムリソースモジュールへ選択的にルーティングし、前記システムリソースモジュールはさらに、前記第 2 のローカルメモリにアクセスするために前記第 2 プロセッサコアに関連する前記アクセ

50

ス情報を前記第2のデータプロセッサコアにルーティングする、請求項13に記載の装置。

【請求項18】

前記システムリソースモジュールは、格納または取得された情報を処理するメモリコントローラである、請求項17に記載の装置。

【請求項19】

イネーブル指示子を格納する格納場所をさらに有し、前記第1のデータプロセッサコアが、アサートされたイネーブル指示子に 응답して、前記システムリソースに前記アクセス情報をさらに選択的にルーティングし、ネゲートされた前記イネーブル指示子に 응답して、前記システムリソースを使用せずに前記ローカルメモリへ前記アクセス情報を選択的にルーティングする、請求項13に記載の装置。

10

【請求項20】

第1のデータプロセッサコアで実行される第1のアクセス要求が、第1のデータプロセッサコアのローカルメモリにアクセスするためのアトミックアクセス要求であるか否かを決定するステップと、

前記第1のアクセス要求がアトミックアクセス要求であったことに 응답して、前記第2のデータプロセッサコア外部のリソースを用いて前記第1のデータプロセッサコアの前記ローカルメモリにアクセスするために前記第1のアクセス要求がアトミックに実行されることを保障し、或いは、前記第1のアクセス要求が前記アトミックアクセス要求ではなかったことに 응답して、前記データプロセッサコア外部のいかなるリソースも使用せずに、前記第1のデータプロセッサコアの前記ローカルメモリにアクセスするステップと、

20

前記第2のデータプロセッサコアで実行されている第2のアクセス要求が、第2のデータプロセッサコアのローカルメモリにアクセスするためのアトミックアクセス要求であるか否かを決定するステップと、

前記第2のアクセス要求がアトミックアクセス要求であったことに 응답して、前記第1のデータプロセッサコア外部のリソースを用いて前記第2のデータプロセッサコアの前記ローカルメモリにアクセスするために前記第2のアクセス要求がアトミックに実行されることを保証するステップであって、前記リソースは前記第2のデータプロセッサコア外部のリソースでもある、ステップと、

前記第2のアクセス要求がアトミックアクセス要求ではなかったことに 응답して、前記第2のデータプロセッサコア外部のいかなるリソースも使用せずに、前記第2のプロセッサコアの前記ローカルメモリにアクセスするステップと

30

を含む方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、一般的には電子デバイスに関するものであり、さらに詳しくはデータプロセッサデバイスのメモリのアクセスに関するものである。

【背景技術】

【0002】

データプロセッサコアは一般に命令の実行を制御する様々な段階を含む命令実行パイプラインを含む。命令実行パイプラインの1つの段階は、有効なアドレス入力オペランドのような命令情報を、アクセスされるターゲットのメモリ位置を決定するために命令情報を用いるロード/格納ユニットへ与える。ロード要求に 응답して情報はターゲットメモリから検索され(読み取られ)、格納要求に 응답してターゲットのメモリ位置に与えられる(書き込まれる)。

40

【0003】

本明細書において特定命令と呼ばれる特定のタイプの命令は、特定の方法で処理された関連するロードおよび格納要求を必要とし、その方法は、ロードおよび格納要求それぞれの主要な読み取りおよび書き込み機能を実行するだけでなく、要求の特殊な処理も実行す

50

る。特定命令の2つの例は、中断されずに完了する1つまたは複数のメモリアクセスを要するアトミック命令(atomic instruction)と、自身の主要な機能を実行することに加えてデータアクセスが特定の方法で処理されるようにする修飾命令(decorated instruction)を含む。アトミック命令の実行はロード/格納ユニットに与えられる対応するアトミックアクセス要求となり、修飾アクセス命令(decorated access instruction)の実行はロード/格納ユニットに与えられる対応するアトミックアクセス要求となる。特定命令が要する特定処理を実行するためのデータプロセッサが必要な追加的ハードウェアオーバーヘッドは、データプロセッサコアのサイズを増やす。また、データプロセッサコアにおけるアトミック要求のような特定要求の実行は、メモリ位置に以後にアクセスすることになるバスロック動作または他の遅延を生じるおそれがある。他の命令の実行完了に必要なデータプロセッサコアのローカルメモリに格納される情報へのアクセスが妨げられる場合、この遅延は特に問題となる。

【発明の概要】

【発明が解決しようとする課題】

【0004】

本発明の課題は、データプロセッサコアのサイズ及び遅延を小さくすることである。

【課題を解決するための手段】

【0005】

一実施形態による方法は、

データプロセッサコアで実行されるアクセス命令が特定のアクセス命令であるか否かを決定するステップと、

前記アクセス命令が前記特定のアクセス命令であったことに応答して、前記データプロセッサコア外部のトランザクションを用いてデータプロセッサコアのローカルメモリにアクセスするためのアクセス命令に基づいて、アクセス情報を選択的にルーティングするステップと

を有し、前記特定のアクセス命令はアトミックアクセス命令または修飾アクセス命令の内の少なくとも一方である、方法である。

【図面の簡単な説明】

【0006】

【図1】データ処理システムを示すブロック図。

【図2】図1のデータ処理システムの一部に関する特定の実施形態を示すブロック図。

【図3】本明細書の特定の実施形態によるフローチャート。

【図4】本明細書の特定の実施形態によるフローチャート。

【図5】本明細書の特定の実施形態による制御レジスタのブロック図。

【発明を実施するための形態】

【0007】

添付の図面を参照することによって、本発明はよりよく理解され、その多くの目的、特徴および利点が当業者に明らかになる。

【0008】

本明細書においては、1つまたは複数のデータプロセッサコアを有するデータ処理システムが記載され、各データプロセッサコアが命令パイプライン、ロード/格納ユニットおよびローカルメモリを有する。データプロセッサコアのローカルメモリに格納されるデータをアクセスするために必要なデータプロセッサコアによって命令の実行に応答する可能であるデータプロセッサのロード/格納ユニットが、ローカルメモリへローカルアクセス要求または外部アクセス要求の1つを選択的にルーティングする。特に、現在命令は通常な命令である時、ローカルアクセス要求はローカルメモリへルーティングされ、現在命令が特定命令として実行される時ローカルメモリをアクセスするために外部アクセス要求が使用される。

【0009】

本明細書において、「ローカルアクセス」という用語およびその派生語は、共通なデー

タブロセッサコアの2つのリソースの間におけるアクセス情報の流れに対して使用される場合（例えばロード/格納要求の場合）、情報の流れが完全にデータプロセッサコアの中で生じることを意味することが意図されている。また、「外部アクセス」という用語およびその派生語は、2つのリソースの間におけるアクセス情報の流れに対して使用される時（例えば、ロード/格納要求の場合）は、情報の流れの少なくとも一部分がデータプロセッサに対して外部で生じることを意味することが意図されている。例えば、データプロセッサコアによるデータプロセッサコアのローカルメモリへのローカルアクセス要求は、データプロセッサコアに対して完全にローカルな回路を用いてローカルメモリへルーティングされるアクセス要求である。データプロセッサコアによるそのローカルメモリに対する外部アクセス要求は、データプロセッサコアに対して完全に外部にある回路を用いてローカルメモリへルーティングされるアクセス要求である。

10

**【0010】**

ローカルメモリへルーティングすることに先立って、処理を行う外部リソースへローカルメモリアクセス要求をルーティングすることは、データプロセッサコア外部のリソースが特定のアクセス要求に関連する特定の処理を実行できるようにす。外部リソースによるアクセス要求の特定の処理を実行する能力は、本発明が使用されなかったならば特殊な処理を実行するためにデータプロセッサコアに必要なとなる、データプロセッサコアに必要なハードウェアオーバヘッドを減らす。本明細書の特定の実施形態は図1～5に関連して説明される。

20

**【0011】**

図1は、1つまたは複数のデータプロセッサコア101～102、バス131～137、システム相互接続部103、および1つまたは複数の周辺部又はペリフェラル104～106を含むデータ処理システム100を示す。図1に示される素子の各々は、半導体基板の一部、共通なパッケージの一部、共通な回路板の一部、など、またはこれらのものの組み合わせであってよい。例えば、メモリ106はデータプロセッサコア101～102、メモリコントローラ105、およびシステム相互接続部103と同一半導体基板に集積されてもよいが、他の周辺装置は同一半導体基板に集積されていなくてもよい。

**【0012】**

1つまたは複数のバス131～136はデータプロセッサコア101～102および周辺部104～106の各々をシステム相互接続部103に接続する。システム相互接続部103は、アドレス情報に基づいてデータプロセッサコア101～102および周辺部104～106の各々の情報の通信を補助するクロスポイントスイッチまたは他の相互接続モジュール等であってもよい。周辺部104は、システム相互接続部103を介して情報を受信または与えるようにアクセスされ得るメモリまたは他のデバイスのようなスレーブデバイスとして示される。

30

**【0013】**

周辺部106はメモリ106として呼ばれ、アクセス要求に応答して情報を受信または与える可能である揮発性または不揮発性メモリデバイスのようなメモリデバイスである。メモリ106へアクセス要求は、図示するように、システム相互接続部103およびメモリコントローラ105の両方を介してルーティングされてもよいし、或いはメモリ106へのアクセス要求はシステム相互接続部103を介するがメモリコントローラ105（図示せず）を介さずにメモリ106にルーティングされてもよい。特定の実施形態において、メモリコントローラ105は、データプロセッサシステム100のアドレスマップの所定範囲に関連するアクセス要求を受信および管理し得る周辺部である。例えば、通常のアクセス要求であるか又は特定のアクセス要求であるかによらず、すべての通常アクセス要求がシステム相互接続部103によってメモリコントローラ105にルーティングされるように、メモリ106のアドレスはデータプロセッサシステム100のアドレス空間にマッピングされてもよい。あるいは、通常のアクセス要求がメモリコントローラ105を介することなくシステム相互接続部103によってメモリ106に直接的にルーティングされ、かつメモリ106に対する特定のアクセス要求（例えば、データプロセッサコア101

40

50

によって特殊なもの又は特定のものであるとしてタグが付されている要求)が、メモリ106へのアクセスに先立って、特殊な処理のためにシステム相互接続部103がメモリコントローラ105へルーティングされるように、メモリ106のアドレスがシステム100にマッピングされてもよい。

#### 【0014】

特定の実施形態において、データプロセッサコアは、ローカルメモリを識別する例えばアドレスのようなアクセス情報を有するアクセス要求をシステム相互接続部103へ与えることによって、データプロセッサのローカルメモリ内の情報を要求してもよい。それに応答して、相互接続部103が処理のために要求をメモリコントローラ105にルーティングする。例えば、データプロセッサコア101のローカルメモリに格納された情報を抽出又は検索するアクセス要求が、データプロセッサコア101からシステム相互接続部103へ与えられてもよく、追加的な処理のためにシステム相互接続部103が該アクセス要求をメモリコントローラ105に与えてもよい。必要であれば、メモリコントローラ105は該要求に関連する何らかの特定の処理を実行する。要求が受信され、何らかの必要な特定の処理が実行された後、メモリコントローラ105は、データプロセッサコア101のローカルメモリのターゲット位置を識別するアクセス要求をシステム相互接続部103に与える。システム相互接続部103は、データプロセッサコア101のローカルメモリが要求のターゲット又は目標であることを確認し、該アクセス要求をデータプロセッサコア101のポート101にルーティングする。データプロセッサコア101のローカルメモリから取得されたデータは逆向きの同一データ経路を用いて、例えば、データプロセッサコア101のポート120から相互接続部103を介してメモリコントローラ105(必要に応じて)へ、相互接続部103を介してシステムバスインタフェースユニット118への経路を用いて、ロード/格納ユニットにルーティングする。データプロセッサ101が、データプロセッサ101のローカルメモリから情報を取得するためにローカルアクセスまたは外部アクセスの何れを使用するかを決定する方法は、特定のデータプロセッサコアの説明を参照することで更に理解できる。

10

20

#### 【0015】

図1のデータプロセッサコア101~102はいかなる種類のデータプロセッサコアであってもよい。データプロセッサコアは同一または異なる種類であってもよい。説明の便宜上、複数のデータプロセッサコア101~102の各々は同一の種類であり、データプロセッサコア101に関して詳細に示すように、各データプロセッサコアは各自のローカルリソースを含む。ローカルリソースは、例えば、データプロセッサコア101は、実行パイプライン111、命令キャッシュ114、データキャッシュ116、ローカルメモリ117、システムバスインタフェースユニット118、ロード/格納ユニット115、レジスタ104、および様々なローカルバス(データプロセッサコア101のリソースを互いに接続する)を含むように示されている。データプロセッサコア101外部のリソースは、バス131~137、システム相互接続部103、周辺部又はペリフェラル、およびメモリ104~106を含む。

30

#### 【0016】

レジスタ104はユーザがプログラムすることが可能なプログラマブルレジスタであり、アドレスレジスタ、データレジスタ、ベースアドレスレジスタ141、制御情報等を含む。

40

#### 【0017】

パイプライン111は命令キャッシュ114、ロード/格納ユニット115、および一群のレジスタ140に接続される。パイプライン111は、命令オペランドを格納するメモリ位置又はその実行結果が格納されているメモリ位置にアクセスするためにロード/格納ユニット115と通信する。一例として、本明細書におけるアクセス要求は典型的にはロード要求として説明されているが、本願で説明される発明は要求を格納することにも適用可能である。

#### 【0018】

50

ローカルバス 119 はロード/格納ユニット 115、ローカルデータメモリ 117 のポート 121 およびデータキャッシュ 116 に接続されている。データプロセッサコア 101 のシステムバスインタフェースユニット (BIU) 118 は、システム相互接続部 103 (バス 131 を介して) に接続されるポート、命令キャッシュ 114 に接続されるポート、ロード/格納ユニット 115 に接続されるポートおよびデータキャッシュ 116 に接続されるポートを含む複数のポートを有する。ポート 121 を加えて、ローカルデータメモリ 117 は追加的ポート 120 を含み、該追加的ポート 120 は、データプロセッサコア 101 外部のバス 132 を介してシステム相互接続部 103 に接続されるスレーブバスインタフェースユニットとすることができる。ローカルバス 119 はデータプロセッサコア 101 にとってローカルであるので (内部にあるので)、ローカルバス 119 はシステム相互接続部 103 に接続されるバス 131 ~ 136 から独立している。この独立性により、ローカルバス 119 を介してデータプロセッサコア 101 の素子同士の間で情報が送受信されると共に、相互接続部 103 を介してバス 131 および 132 の少なくとも 1 つを介してデータプロセッサコア 101 と別の外部リソースとの間で情報が送受信できるようになる。

10

**【0019】**

データプロセッサコア 101 の動作の間に、実行パイプライン 111 が、命令の実行に関連する様々な処理機能を制御する。これらの様々な処理機能は、命令を要求するために命令フェッチ要求を命令キャッシュ 114 に与えること、フェッチされた命令をデコードすること、メモリから命令オペランドを要求するためにデータアクセス要求を決定して提供すること、デコードされた命令に基づいて、整数または浮動小数点方式の少なくとも 1 つの演算ロジックユニット (ALU) へ演算命令を決定して提供すること、及びメモリに結果を格納するデータアクセス要求を決定および提供すること等を含む。

20

**【0020】**

命令キャッシュ 114 は、実行パイプライン 111 からフェッチ要求を受信し、キャッシュアレイから要求された命令を提供し又は可能であれば必要な命令のためのアクセス要求をシステム BIU 118 に提供する。同様に、実行パイプライン 111 は、パイプライン 111 によって使用される命令オペランドを取得するために実行される命令 (現在アクセス命令) に関連する 1 つまたは複数の有効アドレス入力オペランド及びロードアクセス要求を含むことが可能であるロードアクセス要求を、ロード/格納ユニット 115 に与える。

30

**【0021】**

ロード/格納ユニット 115 は、ロード要求およびロード/格納ユニット 115 の有効アドレス入力オペランドをデコードし、ターゲットのデバイスにアクセスするために必要に応じて他のアクセス情報と共にロード/格納ユニット 115 により与えられるターゲットアドレスを決定する。ロード/格納ユニット 115 は、ローカルアクセス要求または外部アクセス要求によりローカルメモリ 117 内の情報にアクセスできる。例えば、ロード/格納ユニット 115 は、ローカルバス 119 を介してローカルメモリ 117 のポート 121 にローカルにアクセス要求をルーティングすることができ、或いはシステムバスインタフェースユニット 118、システム相互接続部 103 およびメモリコントローラ 105 を含むデータ経路を介してデータプロセッサコア外部へのアクセス要求をローカルメモリ 117 のポート 120 にルーティングすることができる。

40

**【0022】**

本明細書に記載されている特定の実施形態において、ロード/格納ユニット 115 がローカルアクセス要求または外部アクセス要求によりローカルメモリ 117 へアクセス要求をルーティングするか否かは、命令デコードの間にパイプライン 111 によって決定されるアクセス要求が通常のデータアクセス要求であるか又は特定のデータアクセス要求であるかに基づく。例えば、アトミックアクセス命令が実行されるように決定されている場合、パイプライン 111 は処理を行うためにアトミックアクセス要求をロード/格納ユニット 115 に与える。同様に、パイプライン 111 は、修飾アクセス命令が実行されている

50



時を決定し、それに応じて、どのようにアクセス要求に関連するアクセス情報が修飾コントローラ107によって処理されることになっているかを示す修飾値を与え、一実施形態においてそれはメモリコントローラ105の一部分に含まれる。修飾値は修飾要求の処理の間に修飾コントローラによってアクセスされる汎用レジスタに格納されてもよい。代替実施形態において、修飾値は、外部アクセスを実行するために使用されるアクセス情報の一部としてロード/格納ユニット115により修飾コントローラに以後転送される修飾アクセス要求 (decorated access request) の一部としてロード/格納ユニット115に与えられる。修飾要求の処理は、リードモディファイライト処理 (読み込み・変更・書き込み処理) または他のタイプの特定の連続のメモリ処理を実行する要求を与える動作となる。このような連続のシーケンス処理がそのような不可分セットの動作により構成され、メモリコントローラ105がこのような分割できないシーケンスをデータプロセッサコア101の便宜を図るために透明に実行されるようにする。このようなシーケンスは、テスト・セット処理、比較・交換処理、テスト・インクリメント/デクリメント処理その他の処理 (本明細書にさらに説明され、ロード/格納ユニット115によって直接的には行われない処理) を含んでもよい。

10

20

30

40

50

**【0023】**

ロード/格納ユニット115の動作は、図2を参照することでよく理解することができ、図2はローカルメモリ217、データキャッシュ216、ロード/格納ユニット215の具体的な要素及びローカルバス219を含むデータプロセッサコア101の一部を示し、これらの各々は図1に示されているものに類似する符号 (117、116、115および119) と共に示されている。

**【0024】**

バス219は、部分211および部分212を含むように示されている。部分211は制御およびアドレス情報をロード/格納ユニット215とローカルメモリ217との間で通信するバス219の一部である。部分212は、制御およびアドレス情報をロード/格納ユニット215とデータキャッシュ216との間で通信するバス219の一部である。

**【0025】**

ロード/格納ユニット205は、アドレス計算モジュール201およびルーティングモジュール202を含むように詳細に示されている。アドレス計算モジュール201は、ターゲットメモリデバイスのMEM\_\_ADDというラベルが付されたターゲットアドレスを決定するために、パイプライン111から受信したアクセス情報をデコードする。ルーティングモジュール202は命令パイプライン111からターゲットアドレスおよび他の情報を使用して、アクセス要求がターゲットメモリデバイスにどのようにルーティングされるかを決定する。ルーティングモジュール202によるアクセス要求のルーティングは図2のロード/格納ユニット205の詳細な機能的ブロック図によってよく理解できる。

**【0026】**

ロード/格納ユニット205はローカルメモリ検出モジュール331およびデマルチプレクサ332、333を含むように示されている。また、ロード/格納ユニット205は、ローカルメモリ217のベースアドレスを指示するLM\_\_BR値を格納し、ユーザプログラマブルレジスタ341にアクセスする。ローカルメモリ217のベースアドレスおよびサイズに基づいて、ローカルメモリ検出モジュール201は、デコードされるアドレスMEM\_\_ADDがローカルメモリ217のアドレスに関連するか或いは外部メモリのアドレスに関連するかを決定する。デコードされるアドレスがローカルメモリ217アドレスに関連していた場合、信号LM\_\_ACCESSがアサートされ、そうでない場合、信号LM\_\_ACCESSはネゲートされる。

**【0027】**

LM\_\_ACCESSがネゲートされたことに応答して、データプロセッサコア101外部のリソースへアクセス要求としてさらにルーティングするために、デマルチプレクサ332を介する経路が、現在の命令のアクセス情報をバスインタフェースユニット118に与えるために選択される。簡明化のために、本説明はデータキャッシュ116が情報のア

クセスと共に含まれるようには記述されていない。しかしながら、実際には、データキャッシュ 116 はロード/格納ユニット 115 によってアクセスされてもよく、キャッシュミスの場合、バスインタフェースユニット 118 はデータアクセスを外部に進めてもよい。例えば、バスインタフェースユニット 118 はアクセス情報に基づいて相互接続部 103 にアクセス要求を与えてもよい。相互接続部 103 はアクセス要求をメモリコントローラ 105 ヘルテイングしてもよいし、或いはデータプロセッサコア 101 外部の別の宛先ヘルテイングしてもよい。或いは、LM\_ACCESS がアサートされたことに応答して、デマルチプレクサ 333 にアクセス情報を与えるようにデマルチプレクサ 332 を介した経路が選択されてもよい。

#### 【0028】

パイプライン 111 における情報が現在の命令は特定の命令であることを示していた場合にアサートされ、かつパイプライン 111 における情報が現在の命令は通常の命令であることを示していた場合にネゲートされる SP のラベルが付された信号によって、デマルチプレクサ 333 は制御される。現在の命令が通常の命令であったことに応答して、ローカルメモリ 217 ヘルテイングアクセス要求を提供するために、例えば、バス 219 を介してローカルメモリ 217 のポート 221 ヘルテイングアクセス要求を与えるために、デマルチプレクサ 333 を介する経路が選択される。あるいは、現在の命令が特定の命令であったことに応答して、ローカルメモリ 217 ヘルテイング外部アクセス要求を与えるためにデマルチプレクサ 333 を介する経路が選択される。例えば、外部アクセス要求はアクセス情報に基づいてバスインタフェースユニット 218 を介して相互接続部 103 に与えられる。相互接続部 103 は、さらにアクセス要求をメモリコントローラ 105 ヘルテイングする。メモリコントローラ 105 は、特定処理を実行し、必要に応じてターゲットメモリ位置の情報を要求するためにシステム相互接続部 103 を介してローカルメモリ 217 のポート 222 にアクセス要求を与える。

#### 【0029】

ターゲットメモリ位置に格納される情報はシステムバス 103 を介してデータプロセッサコア 101 のバスインタフェースユニット 218 ヘルテイングされる。戻りルートがメモリコントローラ 105 を含んでもよく、特定のアクセス要求のタイプに依存して、メモリコントローラ 105 がアクセス要求に応答してメモリアクセス及び変更処理のシーケンスを実行してもよいことが、理解されるべきである。

#### 【0030】

主要な機能ではない特定のアクセス要求は、予約/修飾コントローラ 107 によってメモリコントローラ 105 において処理され、アトミックアクセス要求および修飾アクセス要求とともに以下において詳細に説明される。

#### 【0031】

アトミックアクセス要求は、そのリクエスト(要求)によってアクセスされるメモリ位置が中断することなく、例えば他の装置によってアクセスされることなくアクセスされることを保証する要求である。アトミックアクセスが実行されている特定のメモリ位置をモニタし、メモリ位置がアトミック要求以外の要求によってアクセスされた場合に、要求しているデバイス(例えば、データプロセッサコア 101)に通知することによって、アトミック要求の原子性(Atomicity)を保障することができる。例えば、メモリコントローラ 105 がアトミックロードおよび予約要求を処理する場合、予約/修飾コントローラ 107 は、ターゲットのメモリ位置に対応する予約を実行するために使用される。一実施形態において、予約/修飾コントローラ 107 は、アトミックにアクセスされるメモリ位置のアドレスをラッチ(保持)し、予約が要求されるマスタを識別するインジケータをラッチ(保持)することによって、予約を設定する。別のマスタがメモリ位置の情報を変更しようとする場合またはアトミックロードおよび予約動作によりメモリ位置の予約を行おうとする場合、予約は予約/修飾コントローラ 107 によってクリアされる(失われる)。その結果、予約/修飾コントローラ 107 は、予約がクリアされたことを検出し、後の予約の格納(reservation store)(格納状態(conditional store))が不具合になる。一

10

20

30

40

50

実施形態において、格納の失敗は、失敗が生じたことをデータプロセッサコア101に通知するために設定された状態コードをもたらす。ソフトウェアは状態コードを問い合わせることができ、成功しなかった場合には再試行することができる。このように、原子性 (atomicity) を保証するためにセマフォ (semaphore) を利用し、パスロック動作を必要としないようにすることができる。アクセス要求の原子性を保障する別の方法は、メモリが第1のアクセス要求によって解放されるまで、同一のメモリ位置への他のアクセスが一切生じないことを保証するものであり、例えばいずれのリソースについても、現在アトミックアクセスの対象となっているメモリ位置に同時にアクセスすることを禁止するように、システムが設計される。

#### 【0032】

別のタイプの特定の命令は修飾アクセス命令 (decorated access instruction) である。パイプライン111による修飾アクセス命令の実行は、ロード/格納ユニット115に通知される修飾値 (decoration value) を生じる。修飾値は、ターゲットデバイスに与える又はターゲットデバイスから要求される情報をどのように処理すべきかを、予約/修飾コントローラ107に通知するために使用される情報である。一実施形態において、修飾命令の実行は、修飾要求の処理の間に予約/修飾コントローラ107によってアクセスされる汎用レジスタに格納される修飾値をもたらす。代替実施形態において、修飾値は、ロード/格納ユニット115によって搬送され、例えば、汎用または他のレジスタから修飾コントローラに、処理のためのアクセスされるメモリアドレスのような他のアクセス情報と共に搬送される。

#### 【0033】

主要なアクセス機能 (例えば、アクセス命令の読み込みまたは書き込み) に加えて、実行される修飾要求に応じて、メモリコントローラ105は、アクセス要求の実行の間に特定の機能を実行するために予約/修飾コントローラ107を使用する。例えば、実行される修飾要求の主要な機能はロード要求であってもよい。しかしながら、修飾要求の修飾機能はそれが取得された後であるが要求している装置に戻される前に読み取った値を修正することでもよいし、或いは読み取った値を修正してターゲット位置に修正された値を格納し直すことでもよい。例えば、アクセスされる情報は、要求している装置に戻される前に (読取りアクセスの間) 又はメモリに保存される前に (読取りまたは書込みアクセスの間) 或る値だけ乗算又は加算されてもよい。別の実施形態において、修飾機能は情報が格納されている位置を制御することができる。例えば、修飾値は、与えられたデータ値が或るデータワードの中に格納されている特定のビット位置を示してもよいし、またはデータ値が要求しているデバイスに戻される特定ビット位置を指示する特定ビット位置を示すことができる。

#### 【0034】

任意の数の様々な追加的な又は代替的な処理機能が実行される修飾命令に応じて実行されてもよく、修飾値はデータプロセッサコアのパイプラインによって一般的には解釈されないことが理解される。上述に記載されるように修飾要求もアトミック要求であってもよいことに留意を要する。予約/修飾コントローラ107は修飾を実行するために使用されるので、修飾の機能は、要求データプロセッサコアとともに長い待ち時間を必要とすることなくおよびメモリ位置の予約を取得する必要なしに、予約/修飾コントローラ107によって不可分に行われてもよい。

#### 【0035】

図3は、データプロセッサコアにとってローカルな1つのデータ経路およびデータプロセッサコアにとって外部のリソース (外部リソース) を含む他の代替データ経路という2つの経路の内の1つを介して、アクセス情報をローカルメモリへ選択的にルーティングする特定の方法を表現するフローチャートを示す。処理301において、フェッチされた命令の実行が、データプロセッサコアの実行パイプラインにおいて開始され、そこで命令がデコードされる。デコードされた情報に基づいてロード/格納要求がロード/格納ユニットに与えられてもよい。ロード/格納ユニットに与えられる要求は、要求が特定の要求で

10

20

30

40

50

あることを示す埋め込まれた情報を含んでいてもよい。例えば、埋め込まれた情報は、オブコードまたは他のインジケータ（指示子）のような要求の命令部分に固有であってもよく、また要求に関連するデータフィールド情報として含まれてもよい。或いは、要求は、レジスタに格納された値に依存して、通常の又は特定の要求として処理される一般的な要求であってよい。処理 302 において、アクセスされる情報を含むターゲット装置のメモリ位置を示す現在の命令からのアクセス情報に基づいて、アドレスデコード処理がロード/格納ユニットにおいて行われる。

**【0036】**

処理 303 において、処理 302 で認識されるターゲットメモリがデータプロセッサコアのローカルメモリに対応するか否かが決定される。ターゲットメモリがデータプロセッサコアのローカルメモリであることがデコード処理において確認されたことに応答して、フローは処理 305 に進む。そうでなかった場合、フローは処理 304 に進み、非局所的メモリ（ローカルでないメモリ）にアクセスするためにアクセス情報がデータプロセッサコア外部に選択的にルーティングされる。例えば、図 1 において、アクセス情報は、メモリコントローラ 105 にルーティングされ、メモリコントローラ 105 は、命令が特定のアクセス命令であるか否かに応じて通常の方法又は特定の方法でメモリ 106 内の情報にアクセスする。

10

**【0037】**

処理 305 において、現在アクセスがローカルメモリに対するものであることが処理 303 において判定された後に、ローカルメモリへのアクセスが、アトミックアクセス要求または修飾アクセス要求のような特定のアクセス要求に対応するか否かが判定される。アクセス要求がアトミックアクセス要求であるか否かは、処理 301 においてデコードされる間に決定されたアクセス情報に基づいて決定され、命令デコードの間にレジスタ位置に格納される。例えば、現在のアクセス要求が特定のアクセス要求であることを示す命令デコードの間に、インジケータ（指示子）がレジスタ位置に設定されてもよい。或いは、指示子はロード/格納ユニットに直接的に通知されてもよい。アクセス要求が通常の要求であることがデコード工程において判定されたことに応答して、フローは処理 306 に進み、アクセス情報はデータプロセッサコアの内部に選択的にルーティングされ、例えば、データプロセッサコアの外部の如何なるトランザクションも使用せずに、アクセス要求はローカルメモリへ選択的にルーティングされ、外部のトランザクションは外部のリソースによって実行される処理または機能である。そうでなかった場合、フローは特定の処理を行うために処理 307 に進む。

20

30

**【0038】**

処理 307 において、アクセス要求は特定の要求であることがデコード工程において判定されたことに応答して、アクセス情報は、ロード/格納ユニットからデータプロセッサコアのバスインターフェースユニットへ与えることによって、データプロセッサコア外部の 1 つまたは複数のリソースに選択的にルーティングされる。1 つまたは複数の外部リソースは、アクセス情報に基づいてローカルメモリにアクセスする 1 つまたは複数の外部トランザクションを実行する。処理 308 において、データプロセッサコアのローカルメモリへアクセス要求を送信する前に、外部リソースが必要な任意の特定の処理を実行する。例えば、特定の処理は、アクセスされるメモリ位置に関連する予約を設定し、メモリのアトミックアクセスが最中であることを表現し、あるいはローカルメモリに保存されるアクセス情報が保存される前に処理されてもよい。特定の処理が完了した後、アクセス情報は、データプロセッサコアのローカルメモリへアクセス要求を与えるために使用される。一実施形態において、アクセス要求は、バスインターフェースユニットによっては制御されないローカルメモリのスレーブポートに与えられる。或いは、外部リソースがデータプロセッサコアのバスインターフェースユニットを介してローカルメモリへアクセス要求を与えてもよい。

40

**【0039】**

処理 309 において、ローカルメモリに格納される情報にアクセスした後であってアク

50

セスの完了前に、外部リソースは必要な任意の特定の処理を実行する。例えば、データがローカルメモリにおいてアクセスされた後の特定の処理は、特定のアドレスに対する予約をクリアすること、または予約がもはや有効ではないと判定された場合、要求している装置へ予約の無効を報告することを含んでもよい。別の実施形態において、アクセスは、メモリアクセスおよびデータ処理動作の一連の処理シーケンスを用いて、メモリコントローラによる追加的処理のためにデータプロセッサコアからの修飾動作情報 (decoration operation information) を利用することで完了されてもよい。さらなる別の実施形態において、外部リソースは、ローカルメモリに修飾情報を格納することによって完了してもよく、例えば、完了する前に読取り・変更・書き込み要求の一部として格納することによって完了してもよい。修飾アクセスの間に取得された情報は、命令オペランドとして使用するために、要求している装置 (例えば、データプロセッサコアのパイプライン) へ戻される。

10

#### 【0040】

図4は、本発明の実施形態にしたがう特定の方法を示すフローチャートを示し、図3と同様な符号を有する処理ブロックは図3と同様な処理を行う。図4の方法は、ローカルメモリへのアクセスが特定のアクセス情報であると決定したことに応答して、処理305から処理307へ直接的に進むのではなく、処理311に進む点で図3のフローと異なっている。処理311においては、特定の処理がイネーブルされるか否かが判定される。例えば、プログラブルレジスタのインジケータ (指示子) が、特定のタイプの特定の処理が利用可能であることを示すように設定できる。図5を参照するに、プログラブルレジスタ位置402は、ATOM\_ENというラベルが付されたビットがイネーブルされている場合に特定の処理によってアトミックアクセスが処理されることになっていることを示すビットを含み、かつDEC\_ENというラベルが付されたビットがイネーブルされている場合に特定の処理によって修飾アクセスが処理されることになっていることを示すビットを含む。データプロセッサコア101の内部のローカルメモリへ至る際にローカルアクセス経路をバイパス (迂回) しかつデータプロセッサコア外部のメモリコントローラ105のようなリソースを利用するために、或いはロード/格納動作を処理するのみの内部経路を利用するかためにロード/格納ユニット115によって生成される特定アクセス要求のルーティングおよび動作を制御するために、上記のようなプログラブルレジスタがロード/格納ユニット115により生成される特定のアクセス要求のルーティング及び処理に使用される。このような選択肢は、データプロセッサコア101の動作について、より大きな自由度および効率を可能にする。

20

30

#### 【0041】

従ってビットフィールドATOM\_ENがイネーブルにされていることに応答して、アトミックアクセス要求は (フローチャートにおいて処理307に進み)、上述したようにデータプロセッサコアの外部のリソースにより、要求された情報へのアクセスを促す。ビットフィールドATOM\_ENがネゲートされていた場合、アトミックアクセス要求は (フローチャートにおいて処理306に進み)、データプロセッサコアの外部の如何なるトランザクションも行うことなしに、ローカルメモリの中の要求された情報への通常のアクセスを促す。同様に、ビットフィールドDEC\_ENがイネーブルにされていた場合、修飾アクセス要求は (フローチャートにおいて処理307に進み)、上述したようにデータプロセッサコアの外部のリソースにより、要求された情報へのアクセスを促す。ビットフィールドDEC\_ENがネゲートされていた場合、修飾アクセス要求は (フローチャートにおいて処理306に進み)、データプロセッサコアの外部の如何なるトランザクションも行うことなしに、ローカルメモリの中の要求された情報への通常のアクセスを促す。代替的な実施形態において、全ての特定のアクセスをイネーブル/ディセーブルにするために単独のレジスタビットが使用されてもよく、例えば、アトミックアクセス要求及び修飾アクセス要求の双方について1ビットでイネーブル/ディセーブルを示してもよい。

40

#### 【0042】

一般的な説明における上記の処理又は要素の全てが必ずしも必要ではなく、特定の処理

50

又は装置の一部が必要とされなくてもよく、1つ以上の更なる処理が実行されてもよく、あるいは上記の説明に加えて要素が含まれてもよいことに留意を要する。更に、処理手順が列挙されている順序は、それらが実行される順序でなくてもよい。

【0043】

以上、本発明の概念が具体的な実施形態を参照しながら説明されてきた。しかしながら、当業者は、特許請求の範囲に記載されているような本願の範囲から逸脱することなく、様々な修正例及び変形例が可能であることを認めるであろう。従って上記の説明及び図面は限定的な意味ではなく例示的な意味に解釈される必要があり、そのような全ての変形例は本願により開示される範囲に包含されるように意図されている。例えば、上記の実施形態において、データプロセッサ101は、通常の方法で、例えばDEC\_\_ENインジケータがディセーブルである場合に如何なる処理もなされずに、修飾要求(declaration requests)を実行するように説明されている。しかしながら代替実施形態において、DEC\_\_ENビットがディセーブルであった場合に、パイプライン111により決定される修飾値は、データプロセッサコア101にとってローカルな修飾コントローラ(declaration controller)(図示せず)において行われるローカルなメモリアクセスの修飾をもたらし、DEC\_\_ENがイネーブルであった場合に修飾値は外部の修飾コントローラにおいて行われるローカルメモリアクセスの修飾をもたらしてもよい。この場合、DEC\_\_ENビットの値に応じて2つの修飾機能のうち的一方を実行するために同じ修飾値(declaration value)が使用可能である。

10

【0044】

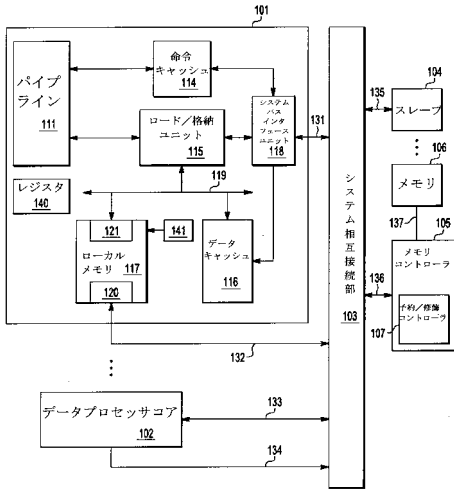
別の例として、他のアクセスにより自動的にアクセスされるメモリ位置に対する介在アクセス(intervening access)は、その介在アクセスが同じマスタからの保存であった場合又は介在アクセスが同じマスタからのロードであった場合に、生成された予約インジケータをもたらしてもよい。

20

【0045】

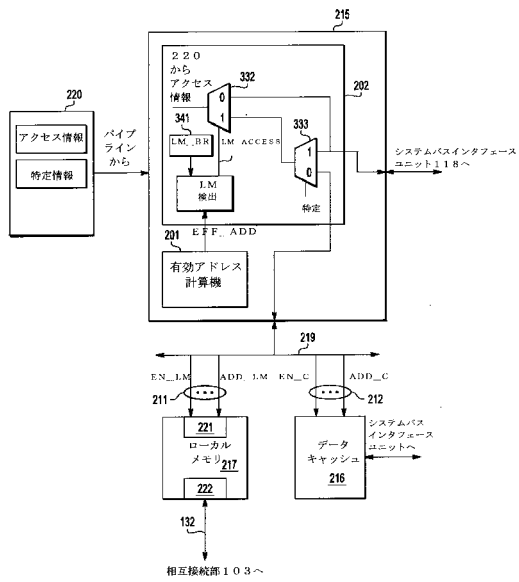
また、他の利点及び課題を解決するための手段が特定の実施形態に関連して説明されてきた。しかしながら、利点、効果、課題解決手段及び任意の特徴(何らかの利点、効果又は手段をもたらす又は顕著にする任意の特徴)は、特許請求の範囲における請求項の全部又は一部に対する必須の、不可欠な又は本質的な特徴と解釈されてはならない。

【図1】



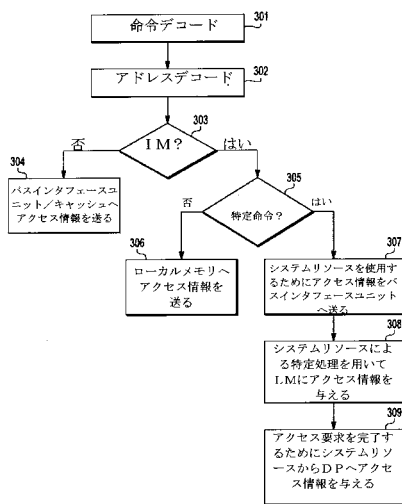
【図1】

【図2】



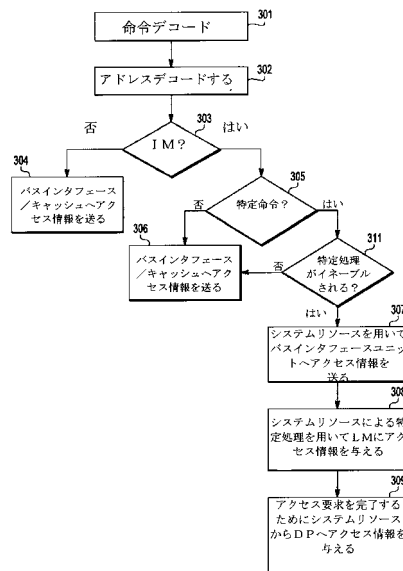
【図2】

【図3】



【図3】

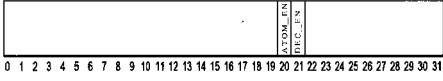
【図4】



【図4】

【 図 5 】

402 ↘



【 図 5 】



---

フロントページの続き

(72)発明者 ウィリアム シー モヤー

アメリカ合衆国 7 8 6 2 0 テキサス州, ドリッピングスプリングス, メドー・リッジ・ドライ  
ヴ 1 1 1 1

Fターム(参考) 5B045 BB02 BB15 BB28 BB29