

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-246849

(P2013-246849A)

(43) 公開日 平成25年12月9日(2013.12.9)

(51) Int.Cl.	F I	テーマコード (参考)
G 1 1 C 16/06 (2006.01)	G 1 1 C 17/00 6 3 3 B	5 B 1 2 5
G 1 1 C 16/02 (2006.01)	G 1 1 C 17/00 6 4 1	
G 1 1 C 16/04 (2006.01)	G 1 1 C 17/00 6 2 2 E	

審査請求 未請求 請求項の数 4 O L (全 28 頁)

(21) 出願番号 特願2012-120118 (P2012-120118)
 (22) 出願日 平成24年5月25日 (2012.5.25)

(71) 出願人 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (74) 代理人 100149803
 弁理士 藤原 康高
 (74) 代理人 100142088
 弁理士 野木 新治
 (74) 代理人 100176599
 弁理士 高橋 拓也
 (74) 代理人 100122220
 弁理士 黒田 久美子
 (74) 代理人 100150614
 弁理士 熊谷 靖
 (74) 代理人 100138807
 弁理士 大西 邦幸

最終頁に続く

(54) 【発明の名称】 メモリシステム

(57) 【要約】

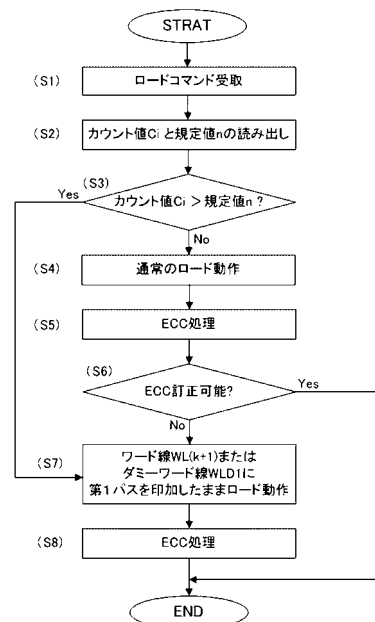
【課題】本実施形態は、データの誤読み出しを低減可能なメモリシステムを提供する。

【解決手段】本実施形態のメモリシステムは、3 値以上のデータを保持可能な不揮発性メモリセルと、前記不揮発性メモリセルに隣接するダミーメモリセルと、前記不揮発性メモリセルのデータを読み出すとき、前記ダミーメモリセルのゲートに第 1 電圧を印加したまま、前記不揮発性メモリセルを読み出し電圧を印加して、前記不揮発性メモリセルのデータを読み出すよう制御する制御部とを備え、前記第 1 電圧は、前記不揮発性メモリセルの保持するデータにかかわらず前記不揮発性メモリセルがオンする第 2 電圧よりも大きい。

【選択図】 図 5

【図5】

ロードシーケンス



【特許請求の範囲】**【請求項 1】**

3 値以上のデータを保持可能な不揮発性メモリセルと、
前記不揮発性メモリセルに隣接するダミーメモリセルと、
前記不揮発性メモリセルのデータを読み出すとき、前記ダミーメモリセルのゲートに第 1 電圧を印加したまま、前記不揮発性メモリセルに読み出し電圧を印加して、前記不揮発性メモリセルのデータを読み出すよう制御する制御部と
を備え、

前記第 1 電圧は、前記不揮発性メモリセルの保持するデータにかかわらず前記不揮発性メモリセルがオンする第 2 電圧よりも大きい
ことを特徴とするメモリシステム。

10

【請求項 2】

前記制御部は、書き込み動作と消去動作の繰り返す回数が規定値以下の場合に前記不揮発性メモリセルのデータを読み出すとき、前記ダミーメモリセルのゲートに前記第 1 電圧を印加せずに、前記不揮発性メモリセルに読み出し電圧を印加して、前記不揮発性メモリセルのデータを読み出し、

書き込み動作と消去動作の繰り返す回数が規定値を超える場合に前記不揮発性メモリセルのデータを読み出すとき、前記ダミーメモリセルのゲートに前記第 1 電圧を印加したまま、前記不揮発性メモリセルに読み出し電圧を印加して、前記不揮発性メモリセルのデータを読み出すように制御することを特徴とする請求項 1 記載のメモリシステム。

20

【請求項 3】

前記不揮発性メモリセルに第 1 データを書き込むときに前記不揮発性メモリセルの閾値分布の変動する第 1 変動量が、前記不揮発性メモリセルに第 2 データを書き込むときに前記不揮発性メモリセルの閾値分布の変動する第 2 変動量よりも小さい場合において、前記制御部は、前記ダミーメモリセルに保持されたデータが第 1 データである場合に前記不揮発性メモリセルのデータを読み出すとき、前記ダミーメモリセルのゲートに前記第 2 電圧以上の第 3 電圧を印加したまま、前記不揮発性メモリセルに読み出し電圧を印加して、前記不揮発性メモリセルのデータを読み出し、

前記ダミーメモリセルに保持されたデータが第 2 データである場合に前記不揮発性メモリセルのデータを読み出すとき、前記ダミーメモリセルのゲートに前記第 3 電圧よりも大きな第 4 電圧を印加したまま、前記不揮発性メモリセルに読み出し電圧を印加して、前記不揮発性メモリセルのデータを読み出すように制御することを特徴とする請求項 1 または請求項 2 記載のメモリシステム。

30

【請求項 4】

前記制御部は、前記ダミーメモリセルのデータが前記第 1 データであるとき、前記ダミーメモリセルのゲートに印加する電圧を第 3 電圧とし、前記ダミーメモリセルのデータが前記第 2 データであるとき、前記ダミーメモリセルのゲートに印加する電圧を第 4 電圧するテーブルを保持することを特徴とする請求項 1 乃至請求項 3 いずれか 1 項に記載のメモリシステム。

【発明の詳細な説明】

40

【技術分野】**【0001】**

本実施形態は、例えば NAND 型フラッシュメモリを含むメモリシステムに関する。

【背景技術】**【0002】**

NAND 型フラッシュメモリは、モバイル機器などにおいて画像や動画等の大容量のデータを扱う用途の増加と共に需要が急増している。特に、1つのメモリセルに2ビット以上の情報を記憶することのできる多値記憶技術の採用により、より多くの情報を記憶できる(例えば、特許文献1参照)。

【先行技術文献】

50

【特許文献】

【0003】

【特許文献1】特表2009-528651号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

本実施形態は、データの誤読み出しを低減可能なメモリシステムを提供する。

【課題を解決するための手段】

【0005】

実施形態に係るメモリシステムによれば、3値以上のデータを保持可能な不揮発性メモリセルと、前記不揮発性メモリセルに隣接するダミーメモリセルと、前記不揮発性メモリセルのデータを読み出すとき、前記ダミーメモリセルのゲートに第1電圧を印加したまま、前記不揮発性メモリセルを読み出し電圧を印加して、前記不揮発性メモリセルのデータを読み出すよう制御する制御部とを備え、前記第1電圧は、前記不揮発性メモリセルの保持するデータにかかわらず前記不揮発性メモリセルがオンする第2電圧よりも大きい。

10

【図面の簡単な説明】

【0006】

【図1】第1実施形態に係るメモリシステムの全体構成例。

【図2】第1実施形態に係るメモリセルアレイの回路図、並びにシーケンサ、ページバッファ、及びセンスアンプのブロック図。

20

【図3】第1実施形態に係るメモリセルの閾値分布を示す図。

【図4】第1実施形態に係るセンスアンプの回路図例。

【図5】第1実施形態に係るシーケンサ15のロードシーケンスを示すフローチャート図。

【図6】第1実施形態に係るシーケンサ15のロードシーケンスを示すタイミングチャート図。

【図7】第1実施形態の変形例1に係るシーケンサ15のロードシーケンスを示すフローチャート図。

【図8】第1実施形態の変形例2に係るシーケンサ15のロードシーケンスを示すフローチャート図。

30

【図9】第2実施形態にかかるシーケンサ15の変換テーブル例を示す図。

【図10】第2実施形態に係るシーケンサ15のロードシーケンスを示すフローチャート図。

【図11】LM方式でデータを書き込むときのメモリセルの閾値分布を示す図。

【図12】第2実施形態の変形例3にかかるシーケンサ15の変換テーブル例を示す図。

【図13】第2実施形態の変形例4にかかるシーケンサ15の変換テーブル例を示す図。

【発明を実施するための形態】

【0007】

以下、本実施形態につき図面を参照して説明する。この説明に際し、全図にわたり、共通する部分には共通する参照符号を付す。ただし、図面は模式的なものであり、厚みと平面寸法との関係、各層の厚みの比率等は現実のものとは異なることに留意すべきである。従って、具体的な厚みや寸法は以下の説明を参酌して判断すべきものである。又、図面相互間においても互いの寸法の関係や比率が異なる部分が含まれていることは勿論である。

40

【0008】

[第1の実施形態]

第1の実施形態に係るメモリシステムについて、図1のブロック図を用いて第1の実施形態に係るメモリシステムの全体構成例について説明する。説明の便宜上、本実施形態のメモリシステムは、NAND型フラッシュメモリとそれを制御するコントローラを有するメモリシステムであるものとして説明をするが、これに限定されることなく、例えばNAND型フラッシュメモリとコントローラに外部のホスト機器を含めてメモリシステムとし

50

てもよい。なお、コントローラの機能を外部のホスト機器が行ってもよい。

【0009】

本実施形態のメモリシステムは、NAND型フラッシュメモリ、コントローラ、外部のホスト機器のいずれかを組み合わせた系で同様の効果を有する形態も含む。

【0010】

1. <全体構成例>

第1の実施形態に係るメモリシステム1の全体構成例について説明する。このメモリシステム1は、具体的な一構成例としてNAND型フラッシュメモリ2と、ECC部70と、これらを制御するコントローラ部3と、を備える。すなわち、以下説明ではNAND型フラッシュメモリ2とECC部70とコントローラ部3とを備えた構成を、メモリシステムとする。

10

【0011】

図示するように、本実施形態に係るメモリシステム1は、大まかにはNAND型フラッシュメモリ2、コントローラ部3、及び入出力部4を備えている。これらNAND型フラッシュメモリ2、コントローラ部3、及び入出力部4は、例えば同一の半導体基板上に形成され、1つのチップに集積されている。以下、各ブロックの詳細について説明する。

【0012】

1. 1 <NAND型フラッシュメモリ2>

NAND型フラッシュメモリ2は、メモリシステム1の主記憶部として機能する。図1に示すようにNAND型フラッシュメモリ2は、メモリセルアレイ(図中、NAND Array)10、ロウデコーダ(図中、Row Dec)11、センスアンプ(図中、Sense Amp)12、ページバッファ(図中、NAND Page Buffer)13、電圧発生回路(図中、Voltage Supply)14、シーケンサ(図中、NAND Sequencer)15、及びオシレータ(図中、OSC)16、17を備えている。

20

【0013】

1. 1. 1 <メモリセルアレイ10>

メモリセルアレイ10は外部からのデータを保持し、保持するこのデータを外部に出力する機能を有する。NAND型フラッシュメモリ2内のメモリセルアレイ10の詳細な構成について図2のブロック図を用いて説明する。図2は、メモリセルアレイ10の回路図及びロウデコーダ11、センスアンプ12、及びページバッファ13のブロック図である。

30

【0014】

図2に示すようにメモリセルアレイ10は、 $(m+1)$ 個(m は自然数)のブロックBLK0~BLK m を備えている。以降、ブロックBLK0~BLK m をそれぞれ区別しない場合には単にブロックBLKと呼ぶことにする。ブロックBLKの各々は、 $(n+1)$ 個(n は自然数)の複数のメモリストリングMSを備えている。

【0015】

メモリストリングMSの各々は、例えば32個のメモリセルMC0~MC31と、選択トランジスタST1、ST2と、ダミーメモリセルMD0、MD1を含んでいる。以下、メモリセルMC0~MC31を区別しない場合には、単にメモリセルMCと呼ぶ。メモリセルMCは、半導体基板上にゲート絶縁膜を介在して形成された電荷蓄積層(例えば浮遊ゲート)と、電荷蓄積層上にゲート間絶縁膜を介在して形成された制御ゲートとを有する積層ゲート構造を備えている。なお、メモリセルMCの個数は32個に限られず、8個や16個、64個、128個、256個等であってもよく、その数は限定されるものではない。またメモリセルMCは、電荷蓄積層として窒化膜等の絶縁膜を使用し、この窒化膜に電子をトラップさせる方式を用いたMONOS(Metal Oxide Nitride Oxide Silicon)構造であっても良い。

40

【0016】

また、ダミーメモリセルMD0、MD1を区別しない場合には、単にダミーメモリセルMDと呼ぶ。ダミーメモリセルMDは、メモリセルMCと同一の構造を有する。例えばメ

50

メモリセルMCがFG構造である場合には、ダミーメモリセルMDもFG構造を有する。メモリセルMCとダミーメモリセルMDは共通の工程で形成する。ダミーメモリセルMDは、通常データは書き込まれない点でメモリセルMCと相違する。

【0017】

メモリセルMCは、隣接するもの同士でソース、ドレインを共有している。複数のメモリセルMCは、ダミーメモリセルMD1、MD2間に、その電流経路が直列されるようにして配置される。選択トランジスタST1、ST2は、ダミーメモリセルMD1、MD0それぞれに直列接続されるように配置される。すなわち、直列接続された複数のメモリセルMCの一端側のドレインはダミーメモリセルMD1のソースに接続され、他端側のソースはダミーメモリセルMD0のドレインに接続される。ダミーメモリセルMD1のドレインは、選択トランジスタST1のソースに接続され、ダミーメモリセルMD0のソースは、選択トランジスタST2のドレインに接続される。

10

【0018】

同一行にあるメモリセルMCの制御ゲートは、ワード線WL0~WL31のいずれかに共通接続される。同一行にあるダミーメモリセルMD0は、ダミーワード線WLD0に共通接続される。同一行にあるダミーメモリセルMD1は、ダミーワード線WLD1に共通接続される。

【0019】

また同一行にある選択トランジスタST1、ST2のゲートは、それぞれセレクトゲート線SGD、SGSに共通接続されている。なお説明の簡単化のため、以下ではワード線WL0~WL31を、単にワード線WLと呼ぶことがある。

20

【0020】

また選択トランジスタST1のドレインはビット線BL0~BLnのいずれかに接続される。このビット線BL0~BLnは、複数のブロックBLK間で、複数のメモリストリングMSを共通接続する。ビット線BL0~BLnについても、区別しない場合には単にビット線BLと呼ぶ。

【0021】

選択トランジスタST2のソースはソース線SLに接続される。ソース線SLは、メモリセルアレイ10内において共通に使用される。

【0022】

上記構成において、同一のワード線WLに接続された複数のメモリセルMCに一括してデータが書き込まれ、または読み出され、この単位をページと呼ぶ。更にブロックBLK単位でデータの消去が行われる。すなわち、同一のブロックに含まれるメモリセルのデータは、一括して消去される。

30

【0023】

各々のメモリセルMCは、例えば、電荷蓄積層に注入された電子の多寡によるトランジスタの閾値電圧の変化に応じて、1ビットのデータ(“0”データ又は“1”データのいずれか)を保持することが可能である。なお、閾値電圧の制御を細分化し、各々のメモリセルMCに2ビット以上のデータを保持する構成としても良い。例えば、電荷蓄積層に電荷が蓄積されると、メモリセルMCは“0”データを保持し、この電荷が抜け、消去状態とされると、メモリセルMCは“1”データを保持するものとする。

40

【0024】

また各ブロックBLKにおいて、一部のメモリストリングMSは、エラー訂正用の情報(パリティ等)を保持するために用いられ、残りのメモリストリングMSがユーザデータ保持用として用いられる。

【0025】

更に、いずれかのブロックBLK(本実施形態では、例えばブロックBLKm)は、NAND型フラッシュメモリ2のシステム情報を保持するために使用される。システム情報の一例は、不良ブロック情報や不良カラム情報である。不良ブロック情報とは、何らかの不良によって使用不可とされたブロックBLKの情報であり、例えばそのブロックアドレ

50

スである。以下では、このブロック B L K m を、R O M ヒューズブロックと呼ぶことがある。

【 0 0 2 6 】

1 . 1 . 1 . 1 < メモリセル M C の閾値分布 >

図 3 (a)、図 3 (b) を用いて上記メモリセル M C の閾値分布について説明する。図 3 は、横軸に閾値分布 (電圧) をとり、縦軸にメモリセル M C の数を示したグラフである。

【 0 0 2 7 】

図示するように、各々のメモリセル M C は、例えば 2 値 (2-levels) のデータ (1 ビットデータ : 閾値電圧 V_{th} の低い順に “ 1 ”、及び “ 0 ” の 2 種のデータ) を保持できる。また、メモリセル M C は、消去状態において、“ 1 ” データ (例えば負電圧) に設定され、データを書き込み、電荷蓄積層に電荷を注入することによって正の閾値電圧に設定される。

10

【 0 0 2 8 】

図 3 (a) ではメモリセル M C が 2 値のデータを有する場合を用いて説明したが、図 3 (b) に示すように、4 値 (2 ビット) データを有するメモリセル M C の場合、4 つの閾値分布により “ 1 1 ”、“ 0 1 ”、“ 1 0 ”、“ 0 0 ” データを識別する。説明の便宜上、消去状態の閾値分布を E 分布とし、閾値電圧 V_{th} の低い順に A 分布、B 分布、C 分布と呼ぶ。

【 0 0 2 9 】

1 . 1 . 2 < ロウデコーダ 1 1 >

次に、図 1、図 2 に戻って、ロウデコーダ 1 1 について説明する。ロウデコーダ 1 1 は、データのプログラム動作、ロード動作、及び消去動作の際に、ワード線及びセレクトゲート線を選択する。このロウデコーダ 1 1 は、ワード線及びセレクトゲート線に対して、必要な電圧 (電圧 V_{PGM} 、電圧 V_{PASS} 、電圧 V_{cgr} 、電圧 V_{read} 、電圧 V_{er} など) を転送する。

20

【 0 0 3 0 】

1 . 1 . 3 < センスアンプ 1 2 >

センスアンプ 1 2 は、ページサイズのデータを保持可能である。センスアンプ 1 2 は、ロード動作のとき、例えばロード対象のメモリセルに接続された 1 ページ分のビット線 B L に流れるセル電流を検知・増幅してデータをセンスし、このセンスしたデータをページバッファ 1 3 に転送する。プログラム動作のとき、センスアンプ 1 2 は、1 ページのデータ (E C C パリティも含む) をページバッファ 1 3 から受け取り、各ビットのデータに応じてビット線 B L に所望の電圧を転送する。

30

【 0 0 3 1 】

ここで、ロード動作とは、N A N D 型フラッシュメモリ 2 からデータを読み出して出力部 4 へ出力する動作である。また、メモリセルアレイ 1 0 から読み出されたデータが、インターフェース部 9 0 に転送されるまでの動作を、データの “ リード (read) ” と呼ぶ。

【 0 0 3 2 】

なお、センスアンプ 1 2 は、セル電流を検知・増幅してデータを検知する場合に限定されることなく、例えばビット線の電圧を検知することでデータをセンスする形態であってよい。

40

【 0 0 3 3 】

1 . 1 . 3 . 1 < センスアンプの詳細構成例 >

次に、センスアンプ 1 2 の詳細な構成例について、図 4 を用いて説明する。図 4 は、第 1 実施形態に係るセンスユニットの回路図例である。

【 0 0 3 4 】

本実施形態のセンスアンプ 1 2 は複数のセンスユニット 1 2 - 1 を有する。センスユニット 1 2 - 1 はビット線 B L 毎に設けられる。

【 0 0 3 5 】

50

センスユニット12-1は、複数のMOSトランジスタTr1~Tr7、キャパシタCap、ラッチ回路SDC、トランスファゲートTfを有する。MOSトランジスタTr1~Tr4, Tr7はNチャネル型MOSトランジスタであり、Tr5, Tr6はPチャネル型MOSトランジスタである。

【0036】

MOSトランジスタTr1の電流経路の一端はビット線BLに接続され、ゲートにはシーケンサ15により制御される信号BLCが供給される。信号BLCは、ロード動作、プログラム動作の際、“H”レベルとされ、ビット線BLとセンスユニット12-1とを接続可能とする信号である。

【0037】

MOSトランジスタTr2の電流経路の一端はMOSトランジスタTr1の電流経路の他端に接続され、他端は電源VDDに接続され、ゲートにはシーケンサ15により制御される信号BLXが供給される。

【0038】

MOSトランジスタTr3の電流経路の一端はノードSENに接続され、他端はMOSトランジスタTr2の他端と共通に電源VDDに接続され、ゲートにはシーケンサ15により制御される信号HLLが供給される。MOSトランジスタTr4の電流経路の一端はノードSENに接続され、他端はMOSトランジスタTr2の一端と共通にMOSトランジスタTr1の他端に接続され、ゲートにはシーケンサ15により制御される信号XXLが供給される。

【0039】

キャパシタCapの一端は接地Vssに接続され、他端はノードSENに接続される。

【0040】

MOSトランジスタTr5の電流経路の一端は、ノードN1に接続され、他端はノードN2に接続され、ゲートにはノードSENが接続される。MOSトランジスタTr6の電流経路の一端は電源VDDに接続され、他端はノードN2に接続され、ゲートにはシーケンサ15により制御される信号STBnが供給される。MOSトランジスタTr7の電流経路の一端は接地Vssに接続され、他端はノードN1に接続され、ゲートにはシーケンサ15により制御される信号RSTが供給される。ここで、信号RSTは、後述するラッチ回路SDCのデータをリセットするための信号である。

【0041】

ラッチ回路SDCは2つのインバータINV1, INV2を有する。また、トランスファゲートTfの一端はラッチ回路SDCに接続され、他端はページバッファ13に接続され、ゲートには信号SW, SWnが入力される。ここで、信号SWnは信号SWの反転信号である。

【0042】

1.1.4 <ページバッファ13>

次に、図1、図2に戻って、ページバッファ13について説明する。ページバッファ13はページサイズのデータを保持可能とされ、プログラム動作時には、入出力部4から与えられるデータを一時的に保持し、センスアンプ12にデータを転送する。他方、ロード動作時には、センスアンプ12で読み出され、転送されたデータを一時的に保持し、ECC部70で訂正処理を行った後、訂正後のデータを入出力部4へ転送する。

【0043】

1.1.5 <電圧発生回路14>

電圧発生回路14は、外部から与えられる電圧を昇圧または降圧することにより、データのプログラム、ロード、及び消去に必要な電圧(電圧VPGM、電圧VPASS、電圧Vcgr、電圧Vread、電圧Veranなど)を発生する。次いで、この発生した電圧を、例えばロウデコーダ11に供給する。これによって電圧発生回路14で発生された電圧が、ロウデコーダ11を介してワード線WLに印加される。電圧発生回路14は、例えば複数のポンプで構成される。

10

20

30

40

50

【0044】

1.1.6 <シーケンサ15>

シーケンサ15は、NAND型フラッシュメモリ2全体の動作を司る。すなわち、コントローラ部3からプログラム命令(Program)、ロード命令(Load)、または消去命令(図示せず)を受けると、これに応答して、データのプログラム、ロード、及び消去を実行するためのシーケンスを実行する。シーケンサ15は、このシーケンスに従ってセンスアンプ12、電圧発生回路14やページバッファ13の動作を制御する。

【0045】

なお、NAND型フラッシュメモリ2に記憶させるべきデータが、入出力部4に転送されるまでの動作を、データの“ライト(write)”と呼ぶ。また、ページバッファ13内のデータがメモリセルアレイ10に書き込まれるまでの動作を、データの“プログラム(program)”と呼ぶ。

10

【0046】

本実施形態のシーケンサ15は、メモリセルMC_k($k = 0 \sim 30$)からデータをロードするとき(ロード動作)、隣接するメモリセルMC($k + 1$)に接続されるワード線WL($k + 1$)に第1パス電圧を印加するようロウデコード11、電圧発生回路14の動作を制御する。ここで、第1パス電圧は、第2パス電圧よりも大きい。この第2パス電圧は、パス電圧V_{read}であり、メモリセルMCの保持するデータにかかわらずメモリセルMCがオン状態となり導通する電圧である。

【0047】

20

また、シーケンサ15は、メモリセルMC₃₁からデータをロードするとき(ロード動作)、メモリセルMC₃₁に隣接するダミーメモリセルMD1のゲート(ダミーワード線WL1)に第1パス電圧を印加するようロウデコード11、電圧発生回路14の動作を制御する。より具体的には、ロウデコード11がワード線WL₃₁を選択したとき、シーケンサ15は、ダミーメモリセルMD1に接続されたダミーワード線WLD1を第1パス電圧生成用のポンプ(電圧発生回路14)と電気的に接続するよう、ロウデコード11を制御する。その結果、ロード動作時に、ダミーワード線WLD1に所望の第1パス電圧が印加される。

【0048】

シーケンサ15は、例えば図示せぬ周辺回路で保持されたシーケンスコードに基づいて動作する。このシーケンスコードにはメモリセルMC_kのデータをロードするとき、隣接するワード線WL($k + 1$)に第1パス電圧を印加し、メモリセルMC₃₁のデータをロードするとき、ダミーワード線WLD1に第1パス電圧を印加するための制御動作が規定されている。

30

【0049】

また、シーケンサ15は、カウンタ15-1、レジスタ15-2を有する。カウンタ15-1は、ブロック毎に、消去動作とプログラム動作を1セットとして、消去動作とプログラム動作を何回繰り返したか(何セット繰り返したか)をカウントする。以下、カウンタ15-1のブロックBLK_iのカウント値をC_i(i は0から m までの自然数)として説明する。すなわち、消去動作とプログラム動作をC_i回繰り返したことになる。

40

【0050】

レジスタ15-2は、メモリセルの信頼性を示す規定値を保持することができる。例えば消去動作とプログラム動作を n 回繰り返すと、メモリセルの信頼性が著しく低下する場合にはその回数 n を規定値として保持する。規定値の定義はこの場合に限られず、例えば消去状態とプログラム動作を n 回繰り返しても、メモリセルの信頼性が初期状態の信頼性と変わらない場合にその回数 n を規定値として保持してもよい。メモリセルの信頼性に關する指標として規定値を定めればよく、定義は一意ではなくユーザごと製品ごとに変更可能である。

【0051】

この規定値は例えばダイソートテストで予め設定された値である。メモリセルアレイ1

50

0 内の ROM ヒューズブロックに保持される。NAND 型フラッシュメモリのパワーオン時に、ROM ヒューズブロックから規定値を読み出し、シーケンサ 15 に設定する。

【0052】

以下、本実施形態では、レジスタ 15 - 2 に回数 n が保持されるものとして説明する。

【0053】

1.1.7 < オシレータ 16 >

オシレータ 16 は内部クロック ICLK を生成する。すなわち、クロック生成器として機能する。オシレータ 16 は、生成した内部クロック ICLK をシーケンサ 15 に供給する。シーケンサ 15 は、この内部クロック ICLK に同期して動作する。

【0054】

1.1.8 < オシレータ 17 >

オシレータ 17 は内部クロック ACLK を生成する。すなわち、クロック生成器として機能する。オシレータ 17 は、生成した内部クロック ACLK をコントローラ部 3 や入出力部 4 へ供給する。内部クロック ACLK は、コントローラ部 3 や入出力部 4 の動作の基準となるクロックである。

【0055】

1.2 < コントローラ部 3 >

次に、図 1 に戻り、コントローラ部 3 について説明する。コントローラ部 3 は、NAND 型フラッシュメモリ 2 及び入出力部 4 の動作を制御する。すなわち、メモリシステム 1 全体としての動作を統括する機能を有する。図示するようにコントローラ部 3 は、内部レジスタ 80 (図中、Internal register) 及びメモリシステム用ステートマシン 83 を備える。

【0056】

1.2.1 < 内部レジスタ 80 >

内部レジスタ 80 は、レジスタ 81 (図中、Register)、コマンドユーザインターフェース (command user interface、図中 CUI) 82 を備える。

【0057】

1.2.1.1 < レジスタ 81 >

レジスタ 81 は、メモリシステム 1 の動作状態を設定・保持するためのレジスタである。すなわちレジスタ 81 は、アクセスコントローラ 99 から与えられるコマンドに応じて、ファンクションの動作状態を設定する。より具体的には、レジスタ 81 レジスタライトコマンドまたはレジスタリードコマンドに応じて、ファンクションの動作状態を設定する。

【0058】

つまり、レジスタ 81 には、例えばロード動作時にはロード (load) コマンドが設定され、プログラム動作時にはプログラム (program) コマンドが設定される。なお、レジスタライトコマンドまたはレジスタリードコマンドとは、アクセスコントローラ 99 からレジスタ 81 に対するライトコマンドまたはリードコマンド (Write/Read) をいう。

【0059】

更に、レジスタ 81 は、NAND シーケンサ 15 から与えられるレディ信号及びエラー信号 (図中、RDY / Error) により、NAND 型フラッシュメモリ 2 の動作状態を把握出来る。

【0060】

1.2.1.2 < コマンドユーザインターフェース 82 >

コマンドユーザインターフェース 82 は、所定のコマンドがレジスタ 81 に設定されることで、メモリシステム 1 に対してファンクション実行コマンドが与えられたことを認識する。その後、内部コマンド信号 (Command) を発行し、ステートマシン 84 へ出力する。

【0061】

1.2.2 < メモリシステム用ステートマシン 83 >

10

20

30

40

50

メモリシステム用ステートマシン 8 3 は、ステートマシン（図中、state machine）8 4、アドレス/コマンド発生回路（図中、NAND Add/Command Gen）8 5、及びアドレス/タイミング発生回路（図中、Buffer Add/Timing）8 6 を備えている。

【 0 0 6 2 】

1 . 2 . 2 . 1 <ステートマシン 8 4 >

ステートマシン 8 4 は、コマンドユーザインターフェース 8 2 から与えられる内部コマンド信号に基づいて、メモリシステム 1 内部におけるシーケンス動作を制御する。ステートマシン 8 4 がサポートするファンクションは、ロード、プログラム、及び消去等、多数あり、これらのファンクションを実行するよう、NAND型フラッシュメモリ 2 及び入出力部 4 の動作を制御する。ステートマシン 8 4 は、オシレータ 1 7 の生成する内部クロック A C L K に同期しつつ、これらの制御を行う。

10

【 0 0 6 3 】

1 . 2 . 2 . 2 <アドレス/コマンド発生回路 8 5 >

アドレス/コマンド発生回路 8 5 は、ステートマシン 8 4 の制御に基づいて NAND 型フラッシュメモリ 2 の動作を制御する。より具体的には、アドレスやコマンド（Program/Load/Erase、図中 C o m m a n d ）等を生成し、NAND型フラッシュメモリ 2 へ出力する。アドレス/コマンド発生回路 8 5 は、オシレータ 1 7 の生成する内部クロック A C L K に同期しつつ、これらのアドレスやコマンドを出力する。

【 0 0 6 4 】

1 . 2 . 2 . 3 <アドレス/タイミング発生回路 8 6 >

アドレス/タイミング発生回路 8 6 は、ステートマシン 8 4 の制御に基づいて入出力部 4 の動作を制御する。より具体的には、入出力部 4 において必要なアドレスやコマンドを発行して、アクセスコントローラ 9 9 及び E C C 制御部 7 2 へ出力する。

20

【 0 0 6 5 】

1 . 3 <入出力部 4 >

次に、入出力部 4 について説明する。入出力部 4 は、E C C 部 7 0、インターフェース部 9 0、及びアクセスコントローラ 9 9 を備えている。

【 0 0 6 6 】

本実施形態に係るメモリシステム 1 では、NAND型フラッシュメモリ 2 が主記憶部として機能する。従って、シーケンサ 1 5 はアドレス/コマンド発生回路 8 5 からロードコマンドを受け、NAND型フラッシュメモリ 2 からデータを外部に読み出す際には、まず NAND型フラッシュメモリ 2 のメモリセルアレイ 1 0 から読み出されたデータが、ページバッファ 1 3 を介して入出力部 4 のインターフェース部 9 0 に転送され、その結果、図示せぬホスト機器に出力される。

30

【 0 0 6 7 】

他方、シーケンサ 1 5 は、アドレス/コマンド発生回路 8 5 からプログラムコマンドを受け、データを NAND型フラッシュメモリ 2 にデータを記憶させる際には、まずホスト機器から与えられたデータが、インターフェース部 9 0 を介してページバッファ 1 3 へ転送されて、メモリセルアレイ 1 0 に書き込まれる。

【 0 0 6 8 】

以下、E C C 部 7 0、インターフェース部 9 0、及びアクセスコントローラ 9 9 の各々の構成について説明する。

40

【 0 0 6 9 】

1 . 3 . 1 <E C C 部 7 0 >

E C C 部 7 0 は、データについてのエラー検出及びエラー訂正、並びにパリティの生成（以下、これらをまとめて E C C 処理と呼ぶことがある）を行う。すなわち、ロード動作時には、NAND型フラッシュメモリ 2 から読み出されたデータについてエラーの検出及び訂正を行う。他方、プログラム動作時には、プログラムすべきデータについてパリティの生成を行い、生成したパリティをメモリストリング M S に格納する。E C C 部 7 0 は、E C C 解析部 7 1、E C C 制御部 7 2、及び E C C デコーダ 7 3 を備えている。

50

【 0 0 7 0 】

1 . 3 . 1 . 1 < E C C 解析部 7 1 >

E C C 解析部 7 1 は、ページバッファ 1 3 に保持されるデータを用いて E C C 処理を行う。E C C 解析部 7 1 は、例えばハミングコードを用いた 1 ビット訂正方式を用いる。E C C 解析部 7 1 は、ロード時にはメモリストリング M S が保持するパリティを用いてシンドロームを生成し、これによりエラー検出を行う。エラーが発見された際には、これを訂正する。他方、プログラム時にはパリティを生成し、これをメモリストリング M S に格納する。

【 0 0 7 1 】

1 . 3 . 1 . 2 < E C C 制御部 7 2 >

E C C 制御部 7 2 は、E C C 解析部 7 1 を制御する。

10

【 0 0 7 2 】

1 . 3 . 1 . 3 < E C C デコーダ 7 3 >

E C C デコーダ 7 3 は、ロード動作時には、E C C 解析部 7 1 においてエラーが有ると判断された場合、その位置を特定すると共に、対応するデータをページバッファ 1 3 から読み出し、データを訂正する。またプログラム動作時には、E C C 解析部 7 1 で生成されたパリティをページバッファ 1 3 に転送させる。

【 0 0 7 3 】

1 . 4 < アクセスコントローラ 9 9 >

アクセスコントローラ 9 9 は、インターフェース 9 2 から制御信号及びアドレスを受け取る。ホスト機器の要求を満たす動作を実行するよう、アクセスコントローラ 9 9 はコントローラ部 3、及び入出力部 4 を制御する。より具体的には、ホスト機器の要求に応じてアクセスコントローラ 9 9 は、N A N D 型フラッシュメモリ 2、バーストバッファ 9 1、デコーダ 7 3、及びコントローラ部 3 を制御する。

20

【 0 0 7 4 】

例えば、ホスト機器の要求に応じてアクセスコントローラ 9 9 は、レジスタ 8 1 をアクティブ状態として、このレジスタ 8 1 にコマンド (Write/Read) をセットする。また、ページバッファ 1 3 に対して、メモリセルアレイ 1 0 からデータを読み出すよう命令する。更にデコーダ 7 3 に対して、外部から入力されたアドレスを転送する。

【 0 0 7 5 】

1 . 5 < インターフェース部 9 0 >

インターフェース部 9 0 は、バーストバッファ 9 1、及びインターフェース (I/F) 9 2 を備えている。

30

【 0 0 7 6 】

ユーザインターフェース 9 2 は、メモリスシステム 1 外部のホスト機器 (ユーザ) と接続可能とされ、ホスト機器との間でデータ、制御信号、及びアドレス A d d 等、種々の信号の入出力を司る。制御信号の一例は、メモリスシステム 1 全体をイネーブルにするチップイネーブル信号 / C E、アドレスをラッチさせるためのアドレスバリッド信号 / A V D、バーストリード (burst read) 用のクロック C L K、書き込み動作をイネーブルにするライトイネーブル信号 / W E、データの外部への出力をイネーブルにするアウトプットイネーブル信号 / O E、などである。

40

【 0 0 7 7 】

ユーザインターフェース 9 2 は、データ入出力バスによりバーストバッファ 9 1 と接続されている。データ入出力バスは、例えば 2 バイトである。そしてユーザインターフェース 9 2 は、ホスト機器からのデータのリード要求、ロード要求、及びプログラム要求等に係る制御信号をアクセスコントローラ 9 9 へ転送する。そしてリード動作時には、バーストバッファ 9 1 内のデータをホスト機器へ出力する。またライト動作時には、ホスト機器から与えられるデータをバーストバッファ 9 1 へ転送する。

【 0 0 7 8 】

バーストバッファ 9 1 は、バッファ / レジスタデータバスにより、ページバッファ 1 3

50

及び制御部 4 とデータ転送可能とされている。そして、ホスト機器からユーザインターフェース 9 2 を介して与えられるデータ、またはページバッファ 1 3 から与えられるデータを、一時的に保持する。

【 0 0 7 9 】

2 . 1 < ロードシーケンス >

本実施形態のメモリシステムのロードシーケンスについて、図 5 のフローチャート図、図 6 のタイミングチャート図を用いてシーケンサ 1 5 の動作を説明する。

【 0 0 8 0 】

なお、説明の便宜上、A B L 方式（セル電流を検知・増幅するセンス方式）のセンス方式で説明するが、これに限定されることなく、例えば電圧センス方式でも本実施形態を適用できる。また、メモリストリング M S に含まれるメモリセル M C は 3 2 個である場合を例に用いて説明する。

10

【 0 0 8 1 】

図 5 に示すように、ステップ S 1 で、シーケンサ 1 5 はロードコマンド、アドレスをアドレス/コマンド発生回路 8 3 から受け取る。シーケンサ 1 5 は、ロードコマンドに基づいてロード動作を開始する。

【 0 0 8 2 】

そして、ステップ S 2 で、シーケンサ 1 5 はアドレスに基づいて、選択されたブロック B L K i のカウント値 C i をカウンタ 1 5 - 1 から読み出し、規定値である回数 n をレジスタ 1 5 - 2 から読み出す。

20

【 0 0 8 3 】

ステップ S 3 で、シーケンサ 1 5 は、カウント値 C i と回数 n を比較し、カウント値 C i が回数 n を超えているか判定する。カウント値 C i が回数 n を超えていない場合には（ステップ S 3、N o）、シーケンサ 1 5 は「通常のロード動作」を行う（ステップ S 4）。

【 0 0 8 4 】

すなわち、シーケンサ 1 5 は、選択されたワード線 W L に読み出し電圧を印加して、非選択のワード線 W L に電圧 V r e a d（第 2 電圧）を印加したまま、センスアンプ 1 2 とビット線 B L を電氣的に接続し、ノード S E N の電位を検知することでロード動作を行う。シーケンサ 1 5 は、このロードされたデータをページバッファ 1 3 に転送する。

30

【 0 0 8 5 】

ステップ S 5 で、シーケンサ 1 5 は、ロードされたデータを E C C 部 7 0 に転送する。そして、ステップ S 6 で、E C C 処理されたデータを E C C 部 7 0 から N A N D バスを介してページバッファ 1 3 が受け取ると、シーケンサ 1 5 は、E C C 処理されたデータが E C C エラーであるかを判定する（ステップ S 6）。ここで E C C エラーとは、E C C 処理によりロードされたデータが訂正できない場合を指す。

【 0 0 8 6 】

ステップ S 6 で、E C C 処理されたデータが E C C エラーでないと、シーケンサ 1 5 が判定したとき（ステップ S 6、Y e s）、E C C 処理されたデータを、B u f f e r / R e g i s t e r バスを介してインターフェース部 9 0 に転送し、ロード動作は終了する。

40

【 0 0 8 7 】

ステップ S 6 で、E C C 処理されたデータが E C C エラーであると、シーケンサ 1 5 が判定したとき（ステップ S 6、N o）、シーケンサ 1 5 は、諸設定を変更し、再度メモリセルアレイ 1 0 からデータをロードする（ステップ S 7）。

【 0 0 8 8 】

ステップ S 3 で、シーケンサ 1 5 は、カウント値 C i と回数 n を比較し、カウント値 C i が回数 n を超えている場合には（ステップ S 3、Y e s）、ステップ S 7 に進み、諸設定を変更し、シーケンサ 1 5 は、再度メモリセルアレイ 1 0 からデータをロードする（ステップ S 7）。

【 0 0 8 9 】

50

ステップS7で、メモリセルMCkのデータをロードするとき、シーケンサ15は、ワード線WLkに隣接するワード線WL(k+1)(第1非選択ワード線)に第1パス電圧を印加し、その他の非選択ワード線WL(第2非選択ワード線)に、第2パス電圧を印加するようロウデコーダ11、電圧発生回路14を制御する。

【0090】

図6に示すように、メモリセル31のデータをロードするとき、シーケンサ15は、ワード線WL31に隣接するダミーワード線WLD1(第1非選択ワード線)に第1パス電圧を印加し、非選択ワード線WL0~WL30(第2非選択ワード線)に、第2パス電圧を印加するようロウデコーダ11、電圧発生回路14を制御する。

【0091】

ステップS7のロードシーケンスについて、詳細は後述する。

【0092】

ステップS8で、シーケンサ15は、ステップS7でロードされたデータをECC部70に転送し、ECC処理されたデータを受け取る。シーケンサ15は、ECC部70から受け取ったECC処理されたデータを、バッファ/レジスタデータバスを介してインターフェース部90に転送し、ロード動作は終了する。

【0093】

2.2<ステップS7の動作>

以下、図5のステップS7におけるロードシーケンスについて、図6のフローチャート図を用いて説明する。

【0094】

以下の説明では、メモリセルMC31からデータを読み出す、ロード動作について説明する。メモリセルMCk(k=0~30)からデータを読み出すときも、同様の動作であり、図6中のワード線WL31と記載されているのをワード線WLkと読み替えて、ダミーワード線WLD1と記載されているのをワード線WL(k+1)と読み替えて、その他のワード線WLと記載されているのをその他のワード線WLとダミーワード線WLD1と読み替えることで同様の動作が可能である。

【0095】

メモリセル31に接続されるワード線WL31が選択され、ワード線WL31に隣接するダミーワード線WLD1(第1非選択ワード線)に第1パス電圧を印加し、その他の非選択ワード線WL0~WL30(第2非選択ワード線)に、第2パス電圧を印加する。

【0096】

2.2.1<時刻t1>

図6に示すように、時刻t1において、ロウデコーダ11は選択ブロックの転送トランジスタ(図示略;ロウデコーダ11内のトランジスタで、電流経路の一端はワード線WLに接続され、他端は電圧発生回路14に接続され、ゲートには選択ブロック信号が入力される)をオンして、電圧発生回路14とワード線WL0~WL31、ダミーワード線WLD1を接続する。

【0097】

したがって、ロウデコーダ11は、選択されたワード線WL31に読み出し電圧を転送する。また、ロウデコーダ11は、ダミーワード線WLD1に第1パス電圧を転送し、その他の非選択ワード線WL0~WL30に第2パス電圧を転送する。

【0098】

ここで、読み出し電圧について簡単に説明する。例えばメモリセルMCが4値(2ビット)データであるとき、メモリセルMCの閾値電圧がE分布、A分布、B分布、C分布の範囲内であるかを特定するために、各分布間の電圧(例えばE分布とA分布の間の電圧)を読み出し電圧として、データの判定を行う。

【0099】

センスアンプ12内のトランジスタTr3のゲートに“H”レベルが印加され、トランジスタTr3はオン状態である。また、センスアンプ12内のトランジスタTr6のゲ

10

20

30

40

50

トに“H”レベルが印加され、トランジスタTr6がオフ状態である。

【0100】

2.2.2 <時刻t2>

そして、時刻t2において、センスアンプ12内のトランジスタTr1, Tr2, Tr4のゲートに“H”レベルが印加され、トランジスタTr1, Tr2, Tr4はオン状態となる。その結果、トランジスタTr2, Tr1を介してビット線BLの電位が充電される。また、トランジスタTr3を介して、ノードSENの電位も“H”レベルに充電される。

【0101】

2.2.3 <時刻t3>

時刻t3において、トランジスタTr3のゲートに“L”レベルを印加し、トランジスタTr3をオフ状態にし、カットオフする。その結果、メモリストリングMSが導通している場合には、ノードSENの電位が、トランジスタTr4, ビット線BLを介して放電される。そして、ノードSENの電位は、“L”レベルとなる。

【0102】

一方で、メモリストリングMSが非導通である場合には、ノードSENの電位は、放電されずに“H”レベルを保持することとなる。

【0103】

2.2.4 <時間t4~t5>

時間t4~t5において、トランジスタTr6のゲートに“L”レベルを印加して、トランジスタTr6をオン状態とすることで、ノードSENに保持されたデータがセンスアンプ12内のラッチ回路(SDC)に保持される。具体的には、ノードSENが“L”レベルの場合には、トランジスタTr5がオン状態となり、ラッチ回路(SDC)に“L”レベルが保持される。

【0104】

他方で、ノードSENが“H”レベルの場合には、トランジスタTr5がオフ状態となり、ラッチ回路(SDC)に“H”レベルが保持されたままとなる。なお、初期状態はトランジスタTr7をオン状態することで初期化できる。初期には、ラッチ回路(SDC)は“H”レベルを有する。

【0105】

時刻t5で、ラッチ回路(SDC)にデータを読み出したのちに、ページバッファ13にデータを転送し、ロード動作が完了する。

【0106】

3.1 <本実施形態の効果>

本実施形態に係るメモリシステムであると、以下(1)~(2)の効果を得ることが出来る。

【0107】

(1)データの誤読み出しを低減できる。

【0108】

通常、1ブロックにデータを書き込む場合には、メモリセルMC0、メモリセルMC1、...、メモリセルMC31の昇降順に1ページずつデータを書き込む。したがって、メモリセルMC0にデータを書き込むときに、残りのメモリセルMC1~MC31にはデータが書き込まれておらず、メモリセルMC1~MC31は消去状態である。一方で、メモリセルMC31にデータを書き込むときに、残りのメモリセルMC0~MC30には既にデータが書き込まれている。すなわち、メモリセルMC0にデータを書き込むときの負荷容量はメモリセルMC31にデータを書き込むときの負荷容量よりも小さいことになる。その結果、1ページのメモリセルMC31の閾値分布は、1ページのメモリセルMC0の閾値分布よりも相対的に低くなる。

【0109】

メモリセルMC0、メモリセルMC1、...、メモリセルMC31の順に1ページのメモ

10

20

30

40

50

リセルMCの閾値分布は相対的に低くなる。

【0110】

比較例1として、メモリストリングMSにダミーメモリセルMDが含まれておらず、DLA技術を用いてデータの読み出しを行う場合を検討する。

【0111】

この比較例1の場合には、メモリセルMC k ($k = 0 \sim 30$)のデータを読み出すとき、ワード線WL k に隣接するワード線WL($k + 1$)にDLA技術に基づいた所望の電圧が印加されたまま、ワード線WL k に所望の読み出し電圧を印加する。このため、隣接するワード線WL($k + 1$)やメモリセルMC($k + 1$)の電化蓄積層等からのカップリングにより、メモリセルMC k の閾値分布を負側に見かけ上シフトさせることができる。その結果、メモリセルMC k の閾値分布を狭くすることができ、E分布、A分布、B分布、C分布間のマージンをとることができ、誤読み出しを低減できる。

10

【0112】

しかし、ワード線WL31に隣接する配線はセレクトゲート線SGDであり、メモリセルMC31のデータを読み出すとき、DLA技術を適用することができない。

【0113】

発明者らは、実験により以下のような見地を得た。メモリセルMC0～MC30のデータを読み出すときに、DLA技術を用いて読み出すと、メモリセルMC0～MC30の閾値分布がメモリセルMC31の閾値分布よりも低くなる場合がある。その結果、メモリセルMC31の閾値分布が相対的に高いままであるため、データの誤読み出しとなる場合がある。

20

【0114】

比較例1では、依然としてデータの誤読み出しが生じる場合があるが、本実施形態のメモリシステムでは、メモリセルMC31のデータを読み出すときに、ワード線WL31に沈設するダミーワード線WLD1に第1パス電圧(>電圧Vread)を印加する。このため、本実施形態のメモリシステムは、メモリセルMC31の閾値分布もメモリセルMC0～MC31と同様に負側に見かけ上シフトさせることができ、比較例1と比べて、データの誤読み出しを低減できる。

【0115】

(2)読み出し動作の時間増大を抑制しつつ、データの誤読み出しを低減できる。

30

【0116】

比較例2として、シーケンサ15は、カウント値Ciと回数nを比較せずに、メモリセル31に接続されるワード線WL31が選択される度に、ワード線WL31に隣接するダミーワード線WLD1(第1非選択ワード線)に第1パス電圧を印加し、その他の非選択ワード線WL0～WL30(第2非選択ワード線)に、第2パス電圧を印加するよう制御する場合を検討する。

【0117】

この比較例2の場合、メモリセル31に接続されるワード線WL31が選択される度に、ダミーワード線WLD1を充電する必要があり、読み出し時間が増大する。

【0118】

しかし、本実施形態のメモリシステムでは、シーケンサ15は、カウント値Ciと回数nを比較し、カウント値Ciが回数nを超えているか判定する。カウント値Ciが回数nを超えていない場合には(ステップS3、No)、シーケンサ15は「通常のロード動作」を行う(ステップS4)。メモリセルの信頼性が初期状態の信頼性と変わらない場合にはその回数nを規定値としたとき、消去動作とプログラム動作をn回未満繰り返す場合には、メモリセルの信頼性は初期状態とさほど変わりなく、ECC処理によるECCエラーも少ない。その結果、本実施形態では、比較例2と比べてステップS7の動作を少なくすることができる。したがって、本実施形態は、比較例2と比べて読み出し時間の増大を抑制することができる。

40

【0119】

50

(変形例 1)

次に本実施形態の変形例 1 に係るメモリシステムについて、図 7 のフローチャート図を用いて説明する。変形例 1 に係るメモリシステムは、シーケンサ 15 のロードシーケンスにおいて第 1 実施形態のメモリシステムと相違し、その他の動作、メモリシステムの構成は同様であり、詳細な説明は省略する。

【0120】

以下、図 7 を用いて、シーケンサ 15 のロードシーケンスについて説明する。

【0121】

図 7 に示すように、ステップ S 1 で、シーケンサ 15 はロードコマンド、アドレスをアドレス/コマンド発生回路 83 から受け取る。シーケンサ 15 は、ロードコマンドに基づいてロード動作を開始する。

10

【0122】

そして、ステップ S 2 で、シーケンサ 15 は「通常のロード動作」を行う（ステップ S 4）。すなわち、シーケンサ 15 は、選択されたワード線 WL に読み出し電圧を印加して、非選択のワード線 WL に電圧 V_{read} （第 2 パス電圧）を印加したまま、センスアンプ 12 とビット線 BL を電氣的に接続し、ノード SEN の電位を検知することでロード動作を行う。シーケンサ 15 は、このロードされたデータをページバッファ 13 に転送する。

【0123】

ステップ S 3 で、シーケンサ 15 は、ロードされたデータを ECC 部 70 に転送する。そして、ステップ S 4 で、ECC 処理されたデータを ECC 部 70 から NAND バスを介してページバッファ 13 が受け取ると、シーケンサ 15 は、ECC 処理されたデータが ECC エラーであるかを判定する。ここで ECC エラーとは、ECC 処理によりロードされたデータが訂正できない場合を指す。

20

【0124】

ステップ S 4 で、ECC 処理されたデータが ECC エラーでないと、シーケンサ 15 が判定したとき（ステップ S 4、Yes）、ECC 処理されたデータを、バッファ/レジスタデータバスを介してインターフェース部 90 に転送し、ロード動作は終了する。

【0125】

ステップ S 4 で、ECC 処理されたデータが ECC エラーであると、シーケンサ 15 が判定したとき（ステップ S 4、No）、シーケンサ 15 は、諸設定を変更し、再度メモリセルアレイ 10 からデータをロードする（ステップ S 5）。

30

【0126】

ステップ S 5 で、メモリセル MCk のデータをロードするとき、シーケンサ 15 は、ワード線 WLk に隣接するワード線 WL (k + 1)（第 1 非選択ワード線）に第 1 パス電圧を印加し、その他の非選択ワード線 WL（第 2 非選択ワード線）に、第 2 パス電圧を印加するようロウデコード 11、電圧発生回路 14 を制御する。

【0127】

図 6 と同様にメモリセル 31 のデータをロードするときには、シーケンサ 15 は、ワード線 WL31 に隣接するダミーワード線 WLD1（第 1 非選択ワード線）に第 1 パス電圧を印加し、その他の非選択ワード線 WL0 ~ WL30（第 2 非選択ワード線）に、第 2 パス電圧を印加するようロウデコード 11、電圧発生回路 14 を制御する。

40

【0128】

ステップ S 6 で、シーケンサ 15 は、ステップ S 5 でロードされたデータを ECC 部 70 に転送し、ECC 処理されたデータを受け取る。シーケンサ 15 は、ECC 部 70 から受け取った ECC 処理されたデータを、バッファ/レジスタデータバスを介してインターフェース部 90 に転送し、ロード動作は終了する。

【0129】

3. <本実施形態の変形例 1 の効果>

本実施形態の変形例 1 に係るメモリシステムであると、以下 (1) の効果を得ることが

50

出来る。

【0130】

(1) データの誤読み出しを低減できる。

【0131】

本変形例1は、第1実施形態の効果と同様の効果を奏する。

【0132】

(変形例2)

次に本実施形態の変形例2に係るメモリシステムについて、図8のフローチャート図を用いて説明する。変形例2に係るメモリシステムは、シーケンサ15のプログラムシーケンスにおいて第1実施形態と相違し、その他の動作、メモリシステムの構成は同様であり、
10 詳細な説明は省略する。

【0133】

<プログラムシーケンス>

以下、シーケンサ15のプログラム動作について、1ブロックのデータをプログラムする例を用いて説明する。

【0134】

図8に示すように、ステップS1で、シーケンス15はプログラムコマンド、アドレスをアドレス/コマンド発生回路83から受け取る。シーケンサ15は、プログラムコマンドに基づいてプログラム動作を開始する。
20

【0135】

ステップS2で、シーケンス15は、ページバッファ13に保持されたデータ(ECCのパリティも含む)をプログラム、ベリファイするようセンスアンプ12、ページバッファ13、ロウデコーダ11、電圧発生回路14を制御する。

【0136】

ページバッファ13はこのデータをセンスアンプ12に転送し、センスアンプ12はデータの“0”“1”に基づいて各ビット線BLの電位を制御する。

【0137】

ロウデコーダ11により選択されるワード線WLに電圧V_{pgm}(例えば20V)が印加され、非選択のワード線WLに電圧V_{pass}(パス電圧であり、例えば10V)が印加される。
30

【0138】

この結果、1ページ単位でデータがメモリセルMCにプログラムされる。プログラム動作ののちに、ベリファイ動作を行いデータの検証をし、ベリファイパスするまで、ISP方式で電圧V_{pgm}をステップアップさせてプログラム動作を行う。

【0139】

例えば1ブロックのメモリセルにデータをプログラムする場合には、メモリセルMC1、MC2、...、MC31の順にページ単位でプログラムする。

【0140】

ステップS3で、メモリセルMC31の1ページにデータをプログラムしたのちに、ダミーメモリセルMD1の1ページに“01”データ(Aレベルのデータ)をプログラムする。プログラム、ベリファイの動作はステップS2と同様であるが、ページバッファ13に保持されたデータに基づかずに、自動的に“01”データをプログラムする。
40

【0141】

なお、本変形例2では、ダミーメモリセルMD1に“01”データをプログラムするが、この場合に限定されることなく、例えば“10”、“00”データであってもよい。

【0142】

<ロードシーケンス>

変形例2のロードシーケンスについて簡単に説明する。第1実施形態では、メモリセル31に接続されるワード線WL31が選択されたとき、ワード線WL31に隣接するダミーワード線WLD1(第1非選択ワード線)に第1パス電圧を印加し、その他の非選択ワ
50

ード線WL0～WL30（第2非選択ワード線）に、第2パス電圧を印加する。

【0143】

変形例2では、第1パス電圧として、AレベルのダミーメモリセルMD1がパスする電圧であればよく、第2パス電圧よりも小さい電圧であってもよい。

【0144】

<本実施形態の変形例2の効果>

本実施形態の変形例2に係るメモリシステムであると、以下(1)の効果を得ることが出来る。

【0145】

(1)データの誤読み出しを低減できる。

10

【0146】

本変形例2は、第1実施形態の効果と同様の効果を奏する。

【0147】

(2)読み出し動作の時間増大を抑制しつつ、データの誤読み出しを低減できる。

【0148】

本変形例2は、第1実施形態の効果と同様の効果を奏する。

【0149】

(3)メモリセルMC、ダミーメモリセルMDに印加される電圧ストレスを低減でき、信頼性が向上する。

【0150】

20

第1実施形態であれば、ワード線WL31に隣接するダミーワード線WLD1に第1パス電圧が印加される。この第1パス電圧は例えば20Vを超える電圧であり、ダミーメモリセルMDに過度な電圧ストレスが印加される。ひいては、カップリングによりメモリセルMCにも過度な電圧ストレスが印加され、メモリセルMC、ダミーメモリセルMDの信頼性が低減する場合がある。

【0151】

しかし、本変形例2では、第1パス電圧として、AレベルのダミーメモリセルMD1がパスする電圧であればよく、第2パス電圧よりも小さい電圧であってもよい。このため、変形例2は、メモリセルMC、ダミーメモリセルMDに印加される電圧ストレスを低減でき、第1実施形態と比較しても信頼性を向上できる。

30

【0152】

(第2実施形態)

次に第2実施形態に係るメモリシステムについて、図9の変換テーブル、図10のフローチャート図を用いて説明する。変形例1に係るメモリシステムは、シーケンサ15のロード動作において第1実施形態のメモリシステムと相違し、その他の動作は第1実施形態のメモリシステムと同様である。変形例1に係るメモリシステムは、シーケンサ15が変換テーブルをさらに有する点で、第1実施形態、変形例1と相違し、その他の構成は第1実施形態、変形例1と同様であり、詳細な説明は省略する。

【0153】

<シーケンサ15>

40

以下、シーケンサ15の構成について、図9を用いて説明する。シーケンサ15は、レジスタ15-2に図9の変換テーブルをさらに有する。図9の変換テーブルは、メモリセルが4値(2ビット)データを保持可能な場合の変換テーブルである。また、この変換テーブルは、データのプログラムの方法がLM分布を介して4値データを書き込む場合の変換テーブルである。なお、LM方式については、後述する。

【0154】

変換テーブルは、メモリセルMCkが選択された時の、隣接するメモリセルMC(k+1)またはダミーメモリセルMD1に保持されたデータと、ワード線WL(k+1)またはダミーワード線WLD1に印加する電圧を対応付けたテーブルである。

【0155】

50

図9の変換テーブルでは、隣接するメモリセルMC(k+1)またはダミーメモリセルMD1に保持されたデータがAレベル(A分布の範囲内の閾値電圧)、Cレベル(C分布の範囲内の閾値電圧)であるとき、ワード線WL(k+1)またはダミーワード線WLD1に電圧Vd1aAを印加する。

【0156】

隣接するメモリセルMC(k+1)またはダミーメモリセルMD1に保持されたデータがEレベル(E分布の範囲内の閾値電圧)、Bレベル(B分布の範囲内の閾値電圧)であるとき、ワード線WL(k+1)またはダミーワード線WLD1に電圧Vd1aBを印加する。

【0157】

ここで、電圧Vd1aA、Vd1aB、Vread(第2パス電圧)の電圧関係は(式2)を満たす。

【0158】

$$Vd1aA > Vd1aB \quad Vread \text{ (第2パス電圧)} \quad \dots \text{ (式2)}$$

シーケンサ15は、変換テーブルを用いてロードシーケンスを行う。以下、ロードシーケンスの詳細について、図10を用いて説明する。本実施形態のロードシーケンスは、第1実施形態に対して図5のステップS7、変形例1に対して図7のステップS5のみ相違し、その他の動作は同様である。以下、第1実施形態に係る図5のステップS7、変形例1に係る図7のステップS5に代わるステップSSについて、説明する。

【0159】

図10に示すように、ステップSSは3つのステップで構成される。

【0160】

まず、ステップSS1では、読み出し対象のメモリセルMCがメモリセルMCk(k=0~30)であるとき、シーケンサ15は、メモリセルMC(k+1)のデータをロードする。ロード対象のメモリセルMCがメモリセルMC31であるとき、シーケンサ15は、ダミーメモリセルMD1のデータをロードする。シーケンサ15は、ロードされたデータをページバッファ13に転送し、ページバッファ13はロードされたデータを保持する。

【0161】

ステップSS2で、シーケンサ15は、ページバッファ13にロードされたデータとレジスタ15-2の変換テーブルに基づいて、読み出し対象のメモリセルMCkに隣接するワード線WL(k+1)またはダミーワード線WLD1に印加する電圧を設定する。

【0162】

具体的には、メモリセルMC(k+1)のデータまたはダミーメモリセルMD1のデータがAレベルまたはCレベルであるとき、シーケンサ15は、変換テーブルに基づいて対応する電圧Vd1aAをワード線WL(k+1)またはダミーワード線WLD1に印加するよう、ロウデコード11、電圧発生回路14を制御する。

【0163】

他方、メモリセルMC(k+1)のデータまたはダミーメモリセルMD1のデータがEレベルまたはBレベルであるとき、シーケンサ15は、変換テーブルに基づいて対応する電圧Vd1aBをワード線WL(k+1)またはダミーワード線WLD1に印加するよう、ロウデコード11、電圧発生回路14を制御する。

【0164】

そして、ステップSS3で、ワード線WL(k+1)またはダミーワード線WLD1に電圧Vd1aAまたはVd1aBを印加したまま、読み出し対象のメモリセルMCkを読み出す。

【0165】

<本実施形態の効果>

本実施形態に係るメモリシステムであると、以下(1)~(3)の効果を得ることが出来る。

10

20

30

40

50

【 0 1 6 6 】

(1) データの誤読み出しを低減できる。

【 0 1 6 7 】

第 1 実施形態の効果と同様の効果を奏する。本実施形態のメモリシステムでは、メモリセル M C 3 1 のデータを読み出すときに、ワード線 W L 3 1 に沈設するダミーワード線 W L D 1 に第 1 パス電圧 (> 電圧 V r e a d) を印加する。このため、本実施形態のメモリシステムは、メモリセル M C 3 1 の閾値分布もメモリセル M C 0 ~ M C 3 1 と同様に負側に見かけ上シフトさせることができ、比較例 1 と比べて、データの誤読み出しを低減できる。

【 0 1 6 8 】

10

(2) 読み出し動作の時間増大を抑制しつつ、データの誤読み出しを低減できる。

【 0 1 6 9 】

第 1 実施形態と同様の効果を奏する。すなわち、本実施形態のメモリシステムでは、シーケンサ 1 5 は、カウント値 C i が回数 n を超えていない場合には (ステップ S 3、N o)、シーケンサ 1 5 は「通常のロード動作」を行う (ステップ S 4)。消去動作と書き込み動作を n 回以下だけ繰り返す場合には、メモリセルの信頼性は初期状態とさほど変わりなく、E C C 処理による E C C エラーも少ない。したがって、本実施形態は、比較例 2 と比べて読み出し時間の増大を抑制することができる。

【 0 1 7 0 】

(3) データの閾値分布をより狭くすることができる。

20

【 0 1 7 1 】

2 ビットデータを保持可能なメモリセルにデータを書き込む場合において、例えば図 1 1 のように L M 分布を介してデータを書き込む方法 (L M 方式) が知られている。

【 0 1 7 2 】

まず、下位ビットデータのプログラム動作を行う (図 1 1 (a) 参照)。シーケンサ 1 5 は、下位ビットデータが “ 1 ” であるとき、閾値分布を E 分布のままに保持するように、下位ビットデータが “ 0 ” であるとき、閾値分布を中間分布である L M 分布になるようにロウデコード 1 1、電圧発生回路 1 4 を制御してプログラ動作を行う。

【 0 1 7 3 】

次に、上位ビットデータのプログラム動作を行う (図 1 1 (b) 参照)。シーケンサ 1 5 は、上位ビットデータが “ 1 ” である場合に、閾値分布が E 分布であるときには閾値分布を E 分布のまま保持するように、閾値分布が L M 分布であるときには閾値分布を B 分布になるように、上位ビットデータが “ 0 ” である場合に、閾値分布が E 分布であるときには閾値分布を A 分布になるように、閾値分布が L M 分布であるときには閾値分布を C 分布になるように、ロウデコード 1 1、電圧発生回路 1 4 を制御する。

30

【 0 1 7 4 】

その結果、E 分布、A 分布、B 分布、C 分布は、それぞれ “ 1 1 ”、“ 0 1 ”、“ 1 0 ”、“ 0 0 ” に対応する。

【 0 1 7 5 】

ロード対象のメモリセル M C k に隣接するメモリセル M C (k + 1) またはダミーメモリセル M D 1 のデータが A レベルまたは C レベルであるとき、E レベルまたは B レベルである場合と比較して隣接効果が大きく、ロード対象のメモリセル M C k の閾値分布が正側にシフトする場合がある。なお、メモリセル M C 0 ~ M C (k - 1) のデータは既にプログラムされているため、読み出し対象のメモリセル M C k の閾値分布に影響は与えない。

40

【 0 1 7 6 】

メモリセル M C k のデータをロードするときに、メモリセル M C (k + 1) またはダミーメモリセル M D 1 に書き込まれたデータに基づいて、ワード線 W L (k + 1) またはダミーワード線 W L D 1 に電圧 V r e a d よりも高い電圧の種類を変更することで、閾値分布が負側に見かけ上シフトする量を調節でき、メモリセル M C k 全体の閾値分布を狭くすることができる。

50

【 0 1 7 7 】

(変形例 3)

次に第 2 実施形態の変形例 3 に係るメモリシステムについて、図 1 2 の変換テーブルを用いて説明する。変形例 3 に係るメモリシステムは、第 2 実施形態に対してデータのプログラム方法が相違する。

【 0 1 7 8 】

変形例 3 のプログラム方法は、第 2 実施形態の LM 分布を介することなく、閾値分布が消去状態の E 分布であるところから直接 A 分布、B 分布、C 分布を書き込む方式である。

【 0 1 7 9 】

< 変換テーブル >

10

本変形例 3 の変換テーブルは、図 1 2 のように、隣接するメモリセル MC (k + 1) またはダミーメモリセル MD 1 に保持されたデータが A レベルであるとき、ワード線 WL (k + 1) またはダミーワード線 WLD 1 に電圧 V d l a A を印加する。隣接するメモリセル MC (k + 1) またはダミーメモリセル MD 1 に保持されたデータが B レベルであるとき、ワード線 WL (k + 1) またはダミーワード線 WLD 1 に電圧 V d l a B を印加する。隣接するメモリセル MC (k + 1) またはダミーメモリセル MD 1 に保持されたデータが C レベルであるとき、ワード線 WL (k + 1) またはダミーワード線 WLD 1 に電圧 V d l a C を印加する。隣接するメモリセル MC (k + 1) またはダミーメモリセル MD 1 に保持されたデータが E レベル (消去状態) であるとき、ワード線 WL (k + 1) またはダミーワード線 WLD 1 に電圧 V d l a E を印加する。

20

【 0 1 8 0 】

ここで、電圧 V d l a E、V d l a A、V d l a B、V d l a C、V r e a d (第 2 パス電圧) の電圧関係は (式 3) を満たす。

【 0 1 8 1 】

$V d l a C > V d l a B > V d l a A > V d l a E \quad V r e a d$ (第 2 パス電圧) ...
(式 3)

シーケンサ 1 5 は、変換テーブルを用いてロードシーケンスを行う。変形例 3 のロードシーケンスは、第 2 実施形態のロードシーケンスを同様であり、詳細な説明は省略する。隣接するメモリセル MC (k + 1) またはダミーメモリセル MD 1 のデータをロードし、対応する電圧 V d l a E ~ V d l a C を設定して、ワード線 WL (k + 1) またはダミーワード線 WLD 1 に対応する電圧を印加したまま、選択されたメモリセル MC k のデータをロードする。

30

【 0 1 8 2 】

< 変形例 3 の効果 >

変形例 3 に係るメモリシステムであると、以下 (1) ~ (3) の効果を得ることが出来る。

【 0 1 8 3 】

(1) データの誤読み出しを低減できる。

【 0 1 8 4 】

第 1 実施形態の効果と同様の効果を奏する。

40

【 0 1 8 5 】

(2) 読み出し動作の時間増大を抑制しつつ、データの誤読み出しを低減できる。

【 0 1 8 6 】

第 1 実施形態と同様の効果を奏する。

【 0 1 8 7 】

(3) データの閾値分布をより狭くすることができる。

【 0 1 8 8 】

2 ビットデータを保持可能なメモリセルにデータを書き込む場合において、変形例 2 のプログラム方式は、第 2 実施形態の LM 分布を介することなく、閾値分布が消去状態の E 分布であるところから直接 A 分布、B 分布、C 分布を書き込む方式である。

50

【0189】

したがって、読み出し対象のメモリセルMC_kに隣接するメモリセルMC_(k+1)またはダミーメモリセルMD₁のデータがAレベルであるとき、Eレベルである場合と比較して、閾値分布のシフト量が大きく、メモリセルMC_(k+1)またはダミーメモリセルMD₁のデータがBレベルであるとき、Aレベルである場合と比較して、閾値分布のシフト量が大きく、メモリセルMC_(k+1)またはダミーメモリセルMD₁のデータがCレベルであるとき、Bレベルである場合と比較して、閾値分布のシフト量が大きくなる。

【0190】

本変形例2のメモリシステムでは、メモリセルMC_kのデータをロードするときに、メモリセルMC_(k+1)またはダミーメモリセルMD₁に書き込まれたデータに基づいて、ワード線WL_(k+1)またはダミーワード線WLD₁に電圧V_{read}よりも高い電圧の種類を変更することで、閾値分布が負側に見かけ上シフトする量を調節でき、メモリセルMC_k全体の閾値分布を狭くすることができる。

10

【0191】

(変形例4)

次に、本実施形態の変形例4に係るメモリシステムについて、図13の変換テーブルを用いて説明する。変形例4に係るメモリシステムは、第2実施形態に対して変換テーブル、シーケンサ15のロードシーケンスが相違する。

【0192】

第2実施形態では、1個のメモリストリングMSは2個のダミーメモリセルMDを有するが、変形例4では、1個のメモリストリングMSは2j個(jは自然数とする)のダミーメモリセルMDを有する。メモリセルMC₃₁とビット線BLの間にj個のダミーメモリセルMDが設けられており、符号はダミーメモリセルMD_{(j+1)~MD_{2j}とする。}

20

【0193】

変形例4のロードシーケンスでは、メモリセル31のデータをロードするとき、ダミーメモリセルMD_{(j+1)~MD_{2j}までのデータパターンに基づいて隣接効果を演算し、ダミーワード線WLD_{(j+1)~WLD_{2j}に変換テーブルで対応する電圧を印加したまま、メモリセルMC₃₁のデータをロードする。}}

【0194】

同様に、メモリセルMC₀のデータをロードするとき、メモリセルMC_{1~MC_jまでのデータパターンに基づいて隣接効果を演算し、ワード線WL_{1~WL_jに変換テーブルで対応する電圧を印加したまま、メモリセルMC₀のデータをロードする。}}

30

【0195】

ワード線WLとダミーワード線WLDを第1配線として同列に扱い、選択されたメモリセルMCに隣接するj本の第1配線に印加する電圧を変換テーブルに基づいて定める。

【0196】

<変換テーブル>

図13の変換テーブルは、j=2の場合の変換テーブルである。

【0197】

選択されたメモリセルMCに隣接するメモリセルをセルCA-1とし、セルCA-1に隣接するセルをセルCA-2とする。セルCA-1、CA-2はメモリセルMC、ダミーメモリセルMDのいずれかである。

40

【0198】

セルCA-1に接続される第1配線を第1配線LA-1とし、セルCA-2に接続される第1配線を第1配線LA-2とする。

【0199】

図13の変換テーブルでは、セルCA-1のデータがAレベルまたはCレベルであって、セルCA-2のデータがAレベルまたはCレベルであるとき、第1配線LA-1に電圧V_{d1aD-1}を印加し、第1配線LA-2に電圧V_{d1aD-2}を印加する。セルCA

50

- 1のデータがAレベルまたはCレベルであって、セルCA-2のデータがEレベルまたはBレベルであるとき、第1配線LA-1に電圧Vd1aF-1を印加し、第1配線LA-2に電圧Vd1aF-2を印加する。セルCA-1のデータがEレベルまたはBレベルであって、セルCA-2のデータがAレベルまたはCレベルであるとき、第1配線LA-1に電圧Vd1aG-1を印加し、第1配線LA-2に電圧Vd1aG-2を印加する。セルCA-1のデータがEレベルまたはBレベルであって、セルCA-2のデータがEレベルまたはBレベルであるとき、第1配線LA-1に電圧Vd1aH-1を印加し、第1配線LA-2に電圧Vd1aH-2を印加する。

【0200】

ここで、電圧Vd1aD-1、Vd1aF-1、Vd1aG-1、Vd1aH-1、Vreadの電圧関係は(式3)を満たす。 10

【0201】

$Vd1aD-1 > Vd1aF-1 > Vd1aG-1 > Vd1aH-1 > Vread$...
(式3)

ここで、電圧Vd1aD-2、Vd1aF-2、Vd1aG-2、Vd1aH-2、Vreadの電圧関係は(式4)を満たす。

【0202】

$Vd1aD-2 > Vd1aF-2 > Vd1aG-2 > Vd1aH-2 > Vread$...
(式4)

電圧Vd1aD-1は電圧Vd1aD-2と等しく、電圧Vd1aF-1は電圧Vd1aF-2と等しく、電圧Vd1aG-1は電圧Vd1aG-2と等しく、電圧Vd1aH-1は電圧Vd1aH-2と等しい。この場合に限られることなく、電圧Vd1aD-1~Vd1aH-1、Vd1aD-2~Vd1aH-2の電圧関係は式3及び式4を満たせばいかなる態様にも設計変更でき、例えば、電圧Vd1aD-1は電圧Vd1aD-2よりも大きく、電圧Vd1aF-1は電圧Vd1aF-2よりも大きく、電圧Vd1aG-1は電圧Vd1aG-2よりも大きく、電圧Vd1aH-1は電圧Vd1aH-2よりも大きくしてもよい。 20

【0203】

シーケンサ15は、変換テーブルを用いてロードシーケンスを行う。変形例4のロードシーケンスは、第2実施形態のロードシーケンスを同様であり、詳細な説明は省略する。隣接するセルCA-1、CA-2のデータをロードし、対応する電圧Vd1aD-1~Vd1aH-1、Vd1aD-2~Vd1aH-2を設定して、第1配線LA-1、LA-2に対応する電圧を印加したまま、選択されたメモリセルMCのデータをロードする。 30

【0204】

<変形例4の効果>

変形例4に係るメモリシステムであると、以下(1)~(3)の効果を得ることが出来る。

【0205】

(1)データの誤読み出しを低減できる。

【0206】

第1実施形態の効果と同様の効果を奏する。 40

【0207】

(2)読み出し動作の時間増大を抑制しつつ、データの誤読み出しを低減できる。

【0208】

第1実施形態と同様の効果を奏する。

【0209】

(3)データの閾値分布をより狭くし、より正確に閾値分布のシフト量も調節することができる。

【0210】

変形例3と同様の効果を奏する。特に、変形例4のロード動作では、メモリセル31の 50

データをロードするとき、ダミーメモリセルMD(j+1)~MD2jまでのデータパターンに基づいて隣接効果を演算し、ダミーワード線WLD(j+1)~WLD2jに変換テーブルで対応する電圧を印加したまま、メモリセルMC31のデータをロードする。選択されたメモリセルに隣接するj個のセルの隣接効果を加味して第1配線の電圧を調整される。

【0211】

したがって、変形例4では、データの閾値分布をより狭くし、より正確に閾値分布のシフト量も調節することができる。

【0212】

なお、本願発明は上記実施形態に限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で種々に変形することが可能である。上記全実施形態及び全変形例では、シーケンサ15はカウンタ15-1やレジスタ15-2を有し、ロードシーケンスを制御していたが、この場合に限定されることなく、例えばメモリシステム用ステートマシン83がカウンタやレジスタを有し、シーケンサ15を制御してロードシーケンスを実行してもよい。すなわち、NAND型フラッシュメモリ2内部で制御せずにコントローラ部3で制御してもよい。

10

【0213】

更に、上記実施形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜な組み合わせにより種々の発明が抽出されうる。例えば、実施形態に示される全構成要件からいくつかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題が解決でき、発明の効果の欄で述べられている効果が得られる場合には、この構成要件が削除された構成が発明として抽出されうる。

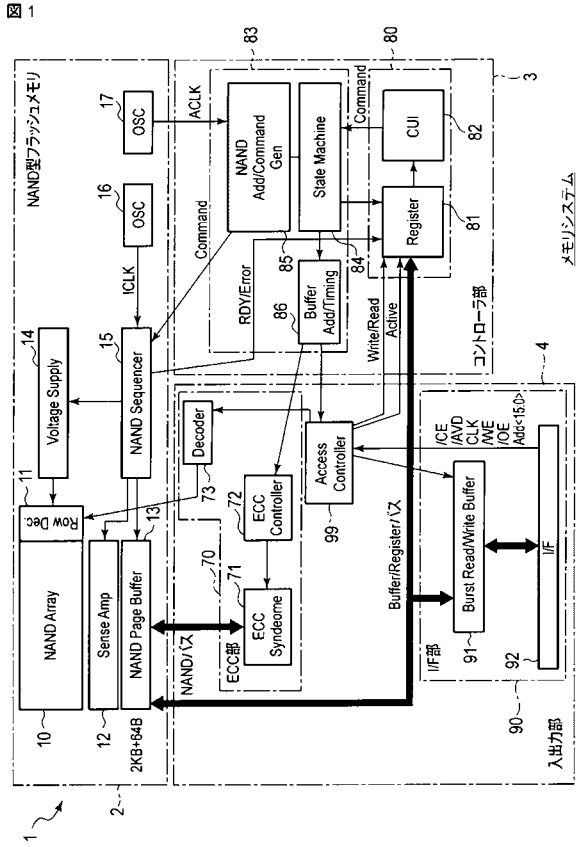
20

【符号の説明】

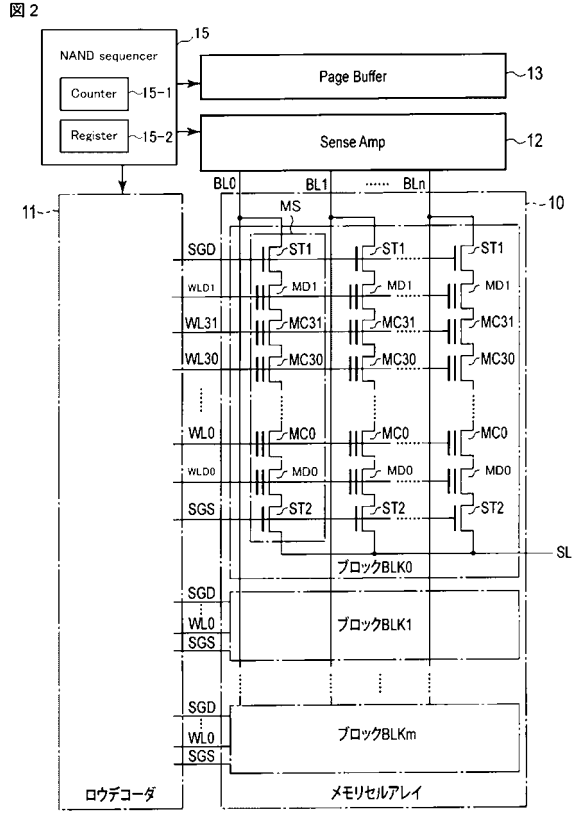
【0214】

1...メモリシステム、2...NAND型フラッシュメモリ、3...コントローラ部、4...入出力部、10...メモリセルアレイ、11...ロウデコーダ、12...センスアンプ、12-1...センスユニット、13...ページバッファ、14...電圧発生回路、15...シーケンサ、16、17...オシレータ

【図1】

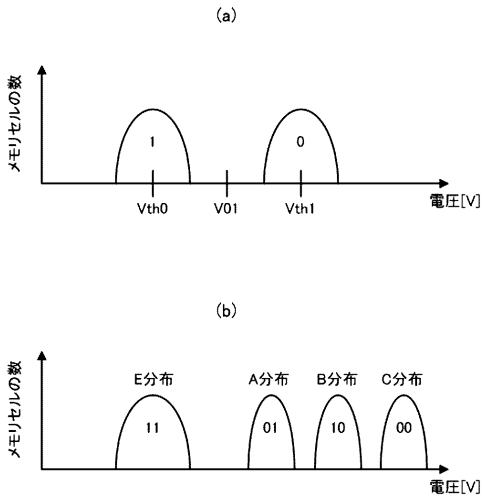


【図2】



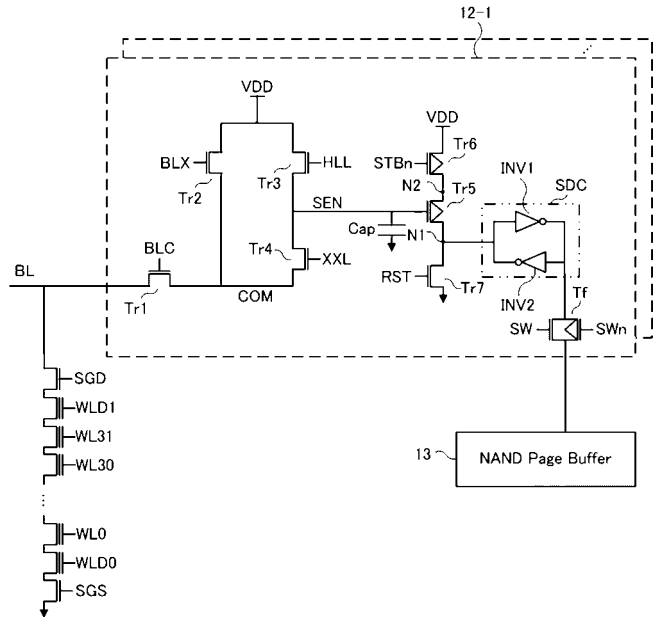
【図3】

【図3】



【図4】

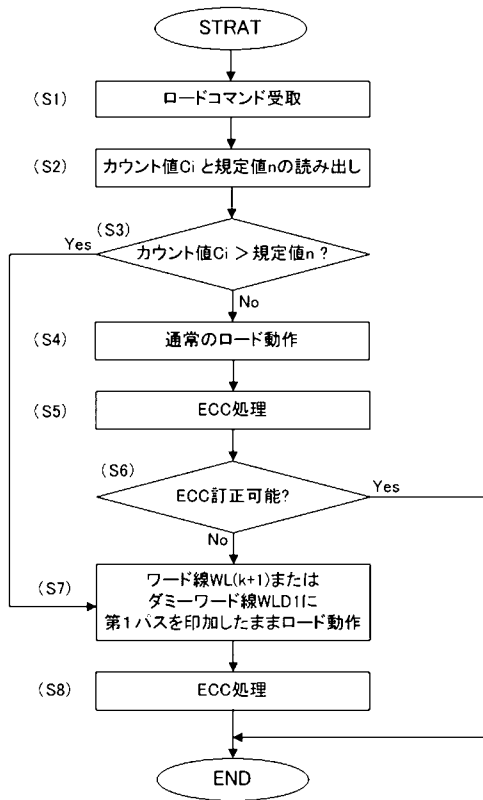
【図4】



【図5】

【図5】

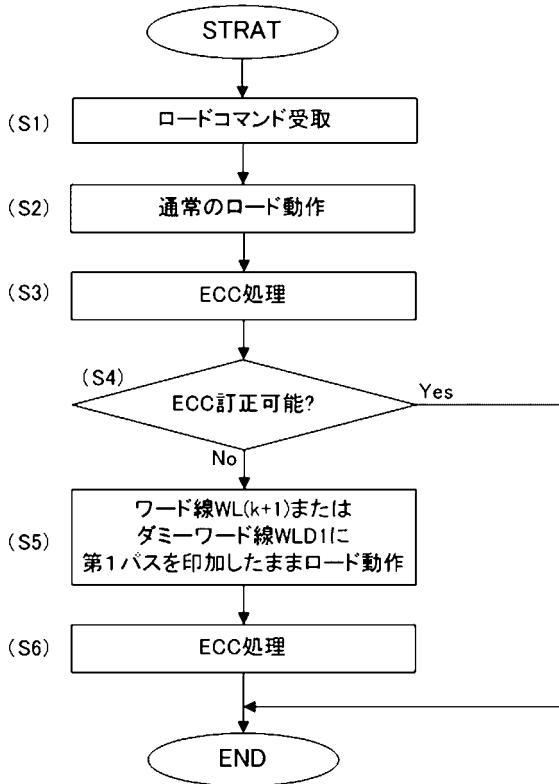
ロードシーケンス



【図7】

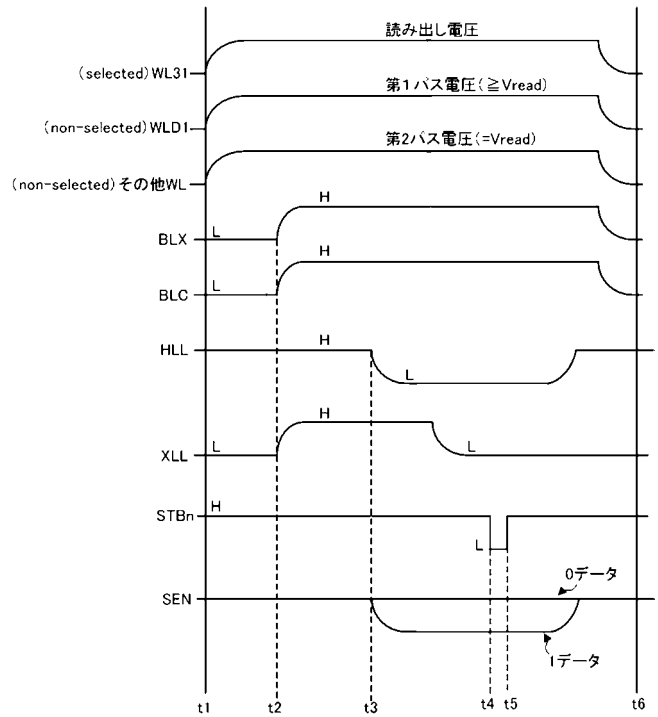
【図7】

ロードシーケンス



【図6】

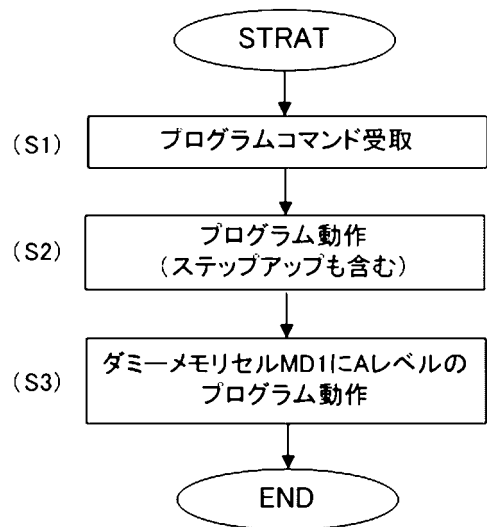
【図6】



【図8】

【図8】

プログラムシーケンス



【図9】

【図9】

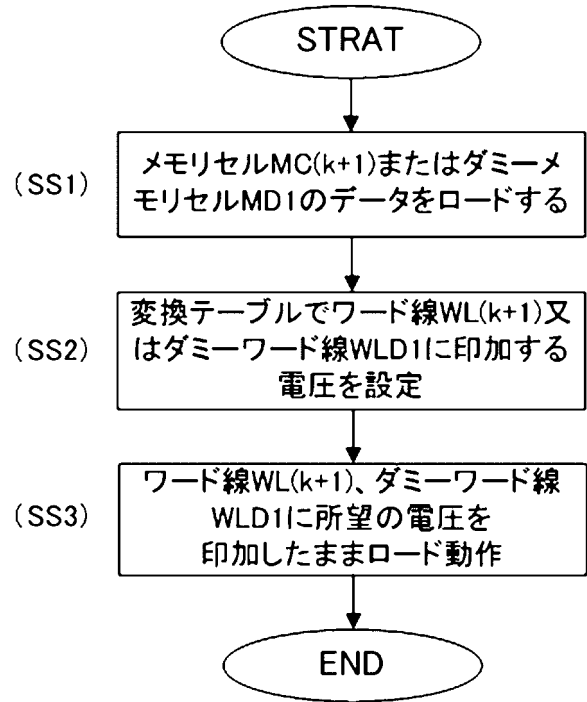
隣接するMC(k+1)またはMD1のデータ	WL(k+1)またはWLD1に印加する電圧
Aレベル、Cレベル	VdlaA
Eレベル、Bレベル	VdlaB

$VdlaA > VdlaB \geq Vread$

【図10】

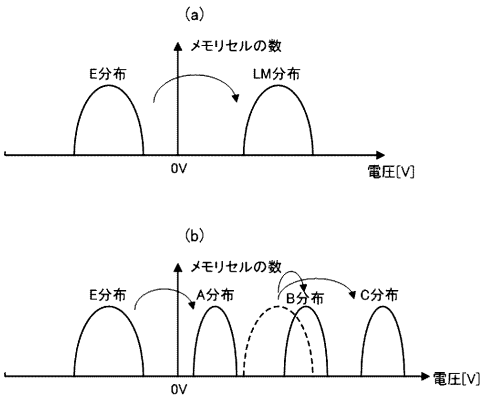
【図10】

ステップSS



【図11】

【図11】



【図12】

【図12】

隣接するMC(k+1)またはMD1のデータ	WL(k+1)またはWLD1に印加する電圧
Eレベル	VdlaE
Aレベル	VdlaA
Bレベル	VdlaB
Cレベル	VdlaC

$VdlaC > VdlaB > VdlaA > VdlaE \geq Vread$

【図13】

【図13】

セルCA-1のデータ	セルCA-2のデータ	第1配線LA-1に印加する電圧	第1配線LA-2に印加する電圧
Aレベル、Cレベル	Aレベル、Cレベル	VdlaD-1	VdlaD-2
Aレベル、Cレベル	Eレベル、Bレベル	VdlaF-1	VdlaF-2
Eレベル、Bレベル	Aレベル、Cレベル	VdlaG-1	VdlaG-2
Eレベル、Bレベル	Eレベル、Bレベル	VdlaH-1	VdlaH-2

$VdlaD-1 > VdlaF-1 > VdlaG-1 > VdlaH-1 \geq Vread$

$VdlaD-2 > VdlaF-2 > VdlaG-2 > VdlaH-2 \geq Vread$

フロントページの続き

(74)代理人 100165375

弁理士 石川 隆史

(72)発明者 脇坂 未央

東京都港区芝浦一丁目1番1号 株式会社東芝内

(72)発明者 入枝 重文

東京都港区芝浦一丁目1番1号 株式会社東芝内

Fターム(参考) 5B125 BA02 BA19 CA11 CA27 DA01 DA09 DE08 EA05 EJ08 FA01

FA02 FA05