

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-89497
(P2014-89497A)

(43) 公開日 平成26年5月15日(2014.5.15)

(51) Int.Cl. F I テーマコード (参考)
G 0 6 F 9/445 (2006.01) G O 6 F 9/06 6 1 0 J 5 B 3 7 6
 G O 6 F 9/06 6 5 0 L

審査請求 未請求 請求項の数 6 O L (全 9 頁)

(21) 出願番号 特願2012-237522 (P2012-237522)
 (22) 出願日 平成24年10月29日 (2012.10.29)

(71) 出願人 000006013
 三菱電機株式会社
 東京都千代田区丸の内二丁目7番3号
 (74) 代理人 100073759
 弁理士 大岩 増雄
 (74) 代理人 100088199
 弁理士 竹中 岑生
 (74) 代理人 100094916
 弁理士 村上 啓吾
 (74) 代理人 100127672
 弁理士 吉澤 憲治
 (72) 発明者 杉本 賢
 東京都千代田区丸の内二丁目7番3号 三
 菱電機株式会社内
 Fターム(参考) 5B376 AC01 AC12 AE63 CA55 CA58
 EA21

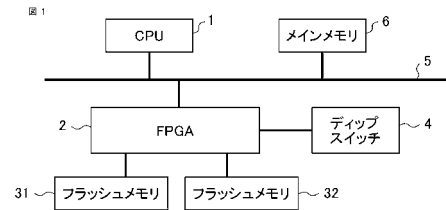
(54) 【発明の名称】 情報処理装置

(57) 【要約】

【課題】フラッシュメモリへの更新起動プログラムの書込みに失敗した場合にも、フラッシュメモリの交換を必要とせず、更新起動プログラムの再書込みを可能とする情報処理装置を得る。

【解決手段】CPU 1からFPGA 2を経由してアクセスされ、起動プログラムをそれぞれ格納した複数のフラッシュメモリ 31、32と、このフラッシュメモリのいずれかを選択するようにフラッシュメモリの切替を手動で設定するディップスイッチ 4とを有し、起動時にはFPGA 2が、ディップスイッチ 4の設定に応じたフラッシュメモリから起動プログラムを読み出し、CPU 1に送るようにした。

【選択図】 図 1



【特許請求の範囲】

【請求項 1】

C P Uを有する情報処理装置であって、
 起動プログラムをそれぞれ格納した複数の不揮発性メモリ、
 この不揮発性メモリのいずれかを選択するように設定できる不揮発性メモリ選択手段、
 及び起動時に上記不揮発性メモリ選択手段の設定に応じた上記不揮発性メモリから上記
 起動プログラムを読み出し、上記C P Uに送るF P G Aを備えたことを特徴とする情報処
 理装置。

【請求項 2】

C P Uを有する情報処理装置であって、
 起動プログラムを格納した不揮発性メモリ、
 上記起動プログラムを内部メモリに格納したF P G A、
 及び上記不揮発性メモリと上記内部メモリのいずれかを選択するように設定できる不揮
 発性メモリ選択手段を備え、
 上記F P G Aは、起動時に上記不揮発性メモリ選択手段の設定に応じた上記不揮発性メ
 モリまたは上記内部メモリから上記起動プログラムを読み出し、上記C P Uに送ることを
 特徴とする情報処理装置。

【請求項 3】

C P Uを有する情報処理装置であって、
 起動プログラムをそれぞれ格納した複数の領域を有する不揮発性メモリ、
 この不揮発性メモリの領域のいずれかを選択するように設定できる不揮発性メモリ選択
 手段、
 及び起動時に上記不揮発性メモリ選択手段の設定に応じた上記不揮発性メモリの領域か
 ら上記起動プログラムを読み出し、上記C P Uに送るF P G Aを備えたことを特徴とする
 情報処理装置。

【請求項 4】

上記不揮発性メモリの領域は、物理セクタであることを特徴とする請求項 3 記載の情報
 処理装置。

【請求項 5】

上記F P G Aの内部メモリはそれぞれ起動プログラムを格納した複数の領域に分割され
 、
 上記不揮発性メモリ選択手段は、上記不揮発性メモリと上記内部メモリの領域のいずれ
 かを選択するように設定できることを特徴とする請求項 2 記載の情報処理装置。

【請求項 6】

上記F P G Aの内部メモリの領域の一つを上記不揮発性メモリに格納された起動プログラ
 ムのバックアップに用いることを特徴とする請求項 5 記載の情報処理装置。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、監視制御システムにおいて、マイクロプロセッサ（以下C P U（C e n t
 r a l P r o c e s s i n g U n i t））とフラッシュメモリなどの不揮発性メモリ
 で構成される情報処理装置に関するものである。

【背景技術】

【0002】

組込み装置でも近年、プログラムの書換えができるように、フラッシュメモリを不揮発
 性メモリとして採用することが一般的となっている。しかし、書換え中の不用意な操作や
 電源断などの要因で起動プログラムの書換えに失敗した場合、装置の起動ができなくなり
 フラッシュメモリの交換が必要となっていた。

こうした場合に対応するために、フラッシュメモリを 2 個持ち、それぞれに起動プログラ
 ムを記録しておき、さらに一方の起動プログラムで正しく起動しない場合に他方の起動

10

20

30

40

50

プログラムで起動する切替手段を持った手法が提案されている（特許文献 1 参照）。

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特開 2001 - 109629 号公報（第 3 ~ 5 頁、第 1 図）

【発明の概要】

【発明が解決しようとする課題】

【0004】

従来の手法では、一方の起動プログラムで正しく起動したかどうかを判定し、また正しく起動しなかった場合に切替を行うために、ブート制御用 CPU、切替回路、アドレスデコードなどの機構を備える必要がある。これらのハードウェア部品、ハードウェア回路、ブート制御用 CPU を動作させる判定プログラムが必要となるため、基板実装効率が悪くなり、部品コストが余分にかかる、という問題があった。

10

一方、起動プログラムの更新書込みを行う場合には、書込み失敗すると装置起動ができなくなり装置にとって致命的な状態となる。自動的に切替を行うことはリスクを伴うため、実際の運用では手動で切替する場合も多い。こうした手動切替の場合には自動化を考慮した特別な機構は不要なので、余分な部品を削減したいという課題があった。

【0005】

この発明は上記のような課題を解決するためになされたものであり、フラッシュメモリへの更新起動プログラムの書込みに失敗した場合にも、フラッシュメモリの交換を必要とせず、更新起動プログラムの再書込みを可能とする情報処理装置を得ることを目的とする。

20

【課題を解決するための手段】

【0006】

この発明に係わる情報処理装置においては、CPU を有する情報処理装置であって、起動プログラムをそれぞれ格納した複数の不揮発性メモリ、この不揮発性メモリのいずれかを選択するように設定できる不揮発性メモリ選択手段、及び起動時に不揮発性メモリ選択手段の設定に応じた不揮発性メモリから起動プログラムを読み出し、CPU に送る FPG A を備えたものである。

【発明の効果】

30

【0007】

この発明によれば、CPU を有する情報処理装置であって、起動プログラムをそれぞれ格納した複数の不揮発性メモリ、この不揮発性メモリのいずれかを選択するように設定できる不揮発性メモリ選択手段、及び起動時に不揮発性メモリ選択手段の設定に応じた不揮発性メモリから起動プログラムを読み出し、CPU に送る FPG A を備えたので、不揮発性メモリの切替えのための回路を必要とせず、不揮発性メモリへの更新起動プログラムの書込みに失敗した場合にも、不揮発性メモリの交換を必要とせず、更新起動プログラムの再書込みを可能とすることができる。

【図面の簡単な説明】

【0008】

40

【図 1】この発明の実施の形態 1 による情報処理装置を示すブロック図である。

【図 2】この発明の実施の形態 2 による情報処理装置を示すブロック図である。

【図 3】この発明の実施の形態 3 による情報処理装置を示すブロック図である。

【図 4】この発明の実施の形態 4 による情報処理装置を示すブロック図である。

【図 5】この発明の実施の形態 5 による情報処理装置を示すブロック図である。

【図 6】この発明の実施の形態 6 による情報処理装置を示すブロック図である。

【発明を実施するための形態】

【0009】

実施の形態 1 .

以下、この発明の実施の形態 1 を説明する。

50

図 1 は、この発明の実施の形態 1 による情報処理装置を示すブロック図である。

図 1 において、CPU 1 には、システムバス 5 を介して F P G A (F i e l d - P r o g r a m m a b l e G a t e A r r a y) 2 が接続されている。F P G A 2 には、フラッシュメモリ 3 1、フラッシュメモリ 3 2、ディップスイッチ 4 が接続されている。

フラッシュメモリ 3 1 (不揮発性メモリ) には、起動プログラムと、起動後にメインメモリ 6 に展開されて動作する OS やアプリケーション等のプログラムが記録されている。

【 0 0 1 0 】

一方、フラッシュメモリ 3 2 (不揮発性メモリ) は、フラッシュメモリ 3 1 と同じプログラムを記録しておいてもよいし、起動プログラムとフラッシュメモリ書込みを行うためのプログラム群のみを記録しておいてもよい。

ディップスイッチ 4 (不揮発性メモリ選択手段) は、スイッチ状態により、フラッシュメモリ 3 1、3 2 のいずれかを選択する。メインメモリ 6 は、システムバス 5 により CPU 1 と F P G A 2 に接続されている。

このように、実施の形態 1 では、システムバス 5 上で CPU 1 から直接フラッシュメモリ 3 1、3 2 にアクセスするのではなく、F P G A 2 を経由してフラッシュメモリ 3 1、3 2 にアクセスする点が従来と異なっている。

【 0 0 1 1 】

次に、動作について説明する。

F P G A 2 は、ディップスイッチ 4 のスイッチ状態に基づいて、フラッシュメモリ 3 1、3 2 のいずれを選択するかを決定するように論理回路を構成する。通常は、フラッシュメモリ 3 1 を選択するようにディップスイッチ 4 を設定して起動する。すなわち、F P G A 2 経由で CPU 1 がフラッシュメモリの起動プログラムを読み込み、情報処理装置を起動するようになっている。

【 0 0 1 2 】

フラッシュメモリ 3 1 への更新起動プログラムの書込みを失敗した場合は、ディップスイッチ 4 のスイッチを切り替えて起動する。この場合、F P G A 2 はディップスイッチ 4 の設定に基づいて、フラッシュメモリ 3 2 を選択して起動プログラムを CPU 1 が読み取るようにする。

この状態で、フラッシュメモリ 3 1 への更新起動プログラムを再度書込みして成功すると、ディップスイッチ 4 の設定を元に戻して再起動することにより、再びフラッシュメモリ 3 1 から起動プログラムが実行可能となる。

【 0 0 1 3 】

なお、ここではフラッシュメモリ切替手段 (不揮発性メモリ選択手段) として、実装が容易な点からディップスイッチ 4 を採用しているが、手動で切替ができる部品であれば、ディップスイッチに限るものではない。

また、ソフトウェアコマンドにより F P G A 2 のレジスタや内部メモリに設定することにより同じ手法を実現することもできる。

【 0 0 1 4 】

このように、実施の形態 1 によれば、CPU から F P G A を経由してフラッシュメモリにアクセスするように構成し、フラッシュメモリ切替手段によってアクセスするフラッシュメモリを F P G A で切替できるように構成したので、ブート制御用 CPU、アドレスデコード、切替回路といった部品、回路を備える必要がなく、起動プログラムの書込みに失敗した場合でもプログラムの再書込みで復旧が可能となる。

【 0 0 1 5 】

実施の形態 2 .

次に実施の形態 2 について説明する。

図 2 は、この発明の実施の形態 2 による情報処理装置を示すブロック図である。

図 2 において、1、2、3 1、4 ~ 6 は、図 1 におけるものと同一のものである。図 2 では、F P G A 2 に内部メモリ 2 1 を持たせ、内部メモリ 2 1 には、起動プログラムと、フラッシュメモリ 3 1 に記録されるプログラムを書換えるためのプログラムを記録してお

10

20

30

40

50

く。

近年の F P G A は大容量化が進み、起動プログラムを保存するのに十分な大容量の内部メモリを持つ F P G A が存在するようになった。このため、実施の形態 2 では、F P G A 2 に内部メモリ 2 1 を持つものとし、フラッシュメモリはフラッシュメモリ 3 1 の 1 個だけで構成する。

【0016】

次に、動作について説明する。

実施の形態 1 と同様に、フラッシュメモリ 3 1 に更新起動プログラムを書込み失敗した場合は、ディップスイッチ 4 のスイッチを切り替えて起動する。この場合、F P G A 2 はディップスイッチ 4 の設定に基づいて、フラッシュメモリ 3 2 の代わりに内部メモリ 2 1 を選択して起動プログラムを C P U 1 が読み込めるようにする。

10

この状態で、フラッシュメモリ 3 1 への更新起動プログラムを再度書込みして成功すると、ディップスイッチ 4 の設定を元に戻して再起動することにより、再びフラッシュメモリ 3 1 から更新された起動プログラムが実行可能となる。

【0017】

このように、実施の形態 2 によれば、F P G A 内の内部メモリに起動プログラムとフラッシュメモリ書込みプログラムを記録し、フラッシュメモリ切替手段によってフラッシュメモリか F P G A 内部メモリかのいずれかを F P G A で切替できるように構成したので、実施の形態 1 に加えて、フラッシュメモリ 1 個だけの構成としても、更新起動プログラムの書込みに失敗した場合でも起動プログラムの再書込みで復旧が可能となり、フラッシュメモリを複数で構成する必要がない。

20

【0018】

実施の形態 3 .

次に実施の形態 3 について説明する。

図 3 は、この発明の実施の形態 3 による情報処理装置を示すブロック図である。

図 3 において、1、2、2 1、3 1、4 ~ 6 は、図 2 におけるものと同一のものである。図 3 では、フラッシュメモリ 3 1 は領域 1 (3 1 a) と領域 2 (3 1 b) を有している。

【0019】

近年はフラッシュメモリについても大容量化が進んでおり、格納したいプログラムのサイズに対して十二分に大きな容量を備えるフラッシュメモリを情報処理装置に実装することができるようになった。この場合、使用しないメモリ領域を利用して起動プログラムの多重化が可能となる。ここではフラッシュメモリ 3 1 を領域 1 (3 1 a)、領域 2 (3 1 b) の 2 つに分けるものとするが、フラッシュメモリの容量とプログラム記録に必要な容量に応じて、3 つ以上の領域に分割することも当然可能である。

30

また、F P G A 2 内には、フラッシュメモリ領域毎の先頭アドレス (ベースアドレスと呼ぶ) を定義しておく。この定義は内部メモリ 2 1 内に保存することで実現できるが、ここでは特にベースアドレス指定テーブルと呼ぶ。

【0020】

次に、動作について説明する。

40

実施の形態 1、2 と同様に、フラッシュメモリ 3 1 の領域 1 (3 1 a) に更新起動プログラムを書込み失敗した場合は、ディップスイッチ 4 のスイッチを切り替えて起動する。この場合、F P G A 2 はディップスイッチ 4 の設定に基づいて、フラッシュメモリ 3 1 の領域 2 (3 1 b) をベースアドレスとして起動プログラムを C P U 1 が読み込めるようにする。

また、別のディップスイッチ設定をすることにより、内部メモリ 2 1 を選択して起動プログラムを C P U 1 が読み込めることもできるようにする。この状態でフラッシュメモリ 3 1 の領域 1 (3 1 a) への更新起動プログラムを再度書込みして成功すると、ディップスイッチ 4 の設定を元に戻して再起動することにより、再びフラッシュメモリ 3 1 の領域 1 (3 1 a) から更新された起動プログラムが実行可能となる。

50

【 0 0 2 1 】

このように、実施の形態 3 によれば、フラッシュメモリのメモリ領域を複数に分割し、FPGA でベースアドレス指定テーブルを持つように構成したので、実施の形態 1、2 に加えて、1 個のフラッシュメモリ上で起動プログラムの多重化が可能となり、更新起動プログラムの書込みに失敗した場合でもプログラムの再書込みで復旧可能になるとともに、OS、アプリケーションを含めた全プログラムの多重化が可能となる。

さらに FPGA 内部メモリからもフラッシュメモリ書込み可能な構成としておけば、フラッシュメモリの全領域のデータが全て破壊された場合でも、フラッシュメモリを交換することなく、再度書込みが可能となる。

【 0 0 2 2 】

実施の形態 4 .

次に実施の形態 4 について説明する。

図 4 は、この発明の実施の形態 4 による情報処理装置を示すブロック図である。

図 4 において、1、2、21、31、4～6 は、図 3 におけるものと同一のものである。図 4 では、内部メモリ 21 にセクタ番号テーブルを有し、フラッシュメモリ 31 は複数の物理セクタをもつ。

【 0 0 2 3 】

フラッシュメモリは通常、物理セクタ毎にデータの書換えが行われるが、消去、書込みが可能な回数は無限ではなく、十万回程度の有限回しかできないという物理的な制約がある。このため、書換えを頻繁に行う使い方をする必要がある場合には、特定の物理セクタが書込み不可となってしまう、二度とそのアドレスのデータを記録できなくなる可能性がある。

こうした問題を解決するため、実施の形態 4 では、特定の物理セクタが物理的に書込み不可となった場合でも、フラッシュメモリを交換せずに装置寿命を延ばすための手段を提供する。

図 4 のフラッシュメモリ 31 は、複数の物理セクタを持つ。このため、起動プログラムを記録する領域内でセクタ # 1 ～セクタ # N として複数のセクタ領域を保持しておく。

FPGA 2 では、フラッシュメモリのうち起動プログラムを記録する領域の各セクタ番号とベースアドレスの関係を保持したテーブルを定義する。この定義も内部メモリ 21 内に保存することで実現できるが、ここでは特にセクタ番号テーブルと呼ぶ。

【 0 0 2 4 】

次に、動作について説明する。

実施の形態 1 ～ 3 と同様に、フラッシュメモリ 31 のセクタ # 1 に更新起動プログラムを書込み失敗した場合は、ディップスイッチ 4 のスイッチを切り替えて起動する。しかし、何度書込みを試行しても失敗する場合は、物理セクタが壊れて物理的に書込み不可になったと判断することができる。

この場合、ディップスイッチ 4 の設定で、セクタ # 2 となるように変更して、このセクタに対して更新起動プログラムの書込みを行う。この状態で再起動すると、セクタ # 2 に記録した起動プログラムを FPGA 2 経由で読み込んで CPU 1 が起動できるようになる。

【 0 0 2 5 】

このように、実施の形態 4 によれば、フラッシュメモリの物理セクタの物理的制約と構成に着目し、起動プログラムを記録する領域を複数セクタ準備しておき、通常使っている物理セクタが故障した場合には、次のセクタに起動プログラムを記録し、このセクタのベースアドレスから起動するように構成したので、フラッシュメモリの特定セクタが故障した場合でもフラッシュメモリを交換することなく情報処理装置を起動できるので、装置寿命の長期化が可能となる。

【 0 0 2 6 】

実施の形態 5 .

次に、実施の形態 5 について説明する。

10

20

30

40

50

実施の形態 3、4 では、フラッシュメモリの大容量化に着目して、フラッシュメモリ内での起動プログラム多重化を行う手法を説明したが、実施の形態 5 では、FPGA 2 の内部メモリ 21 の大容量化により、内部メモリ 21 でのプログラム多重化を行う手段を提供する。

特に、起動プログラムやフラッシュメモリ書込みプログラムの変更が、FPGA 内部メモリ 21 に記録しているプログラムに対しても必要となる場合には、内部メモリ 21 のプログラムを多重化することにより、書込み失敗した場合でも再書込み可能となることが保証されるので、書込み操作に対する保守性を高めることができる。

【0027】

図 5 は、この発明の実施の形態 5 による情報処理装置を示すブロック図である。

図 5 において、1、2、21、31、4～6 は、図 2 におけるものと同一のものである。図 5 では、内部メモリ 21 は領域 1 (21a) と領域 2 (21b) を有している。

図 5 の FPGA 2 は内部メモリ 21 を持ち、この内部メモリ 21 を複数の領域に分割する。ここでは、内部メモリ 21 の領域 1 (21a)、領域 2 (21b) の 2 つに分けるものとするが、内部メモリの容量とプログラム記録に必要な容量に応じて、3 つ以上の領域に分割することも当然可能である。

【0028】

次に、動作について説明する。

実施の形態 1～4 と同様に、フラッシュメモリ 31 に更新起動プログラムを書込み失敗した場合は、ディップスイッチ 4 のスイッチを切り替えて起動する。

フラッシュメモリ 31 に書き換えた起動プログラムで正しく起動することが確認できれば、この新しい起動プログラムを FPGA 2 の内部メモリ 21 に対しても書換えしておく必要が生じる場合がある。

この場合は、内部メモリ 21 の領域 1 (21a) のフラッシュメモリ書込みプログラムを用いて、フラッシュメモリ 31 に記録された起動プログラム、または別途読み込んだ起動プログラムを内部メモリ 21 の領域 2 (21b) に書き込んでおく。

このようにすることで、内部メモリの起動プログラムを新しいものに更新することができる。同様に、ディップスイッチ 4 の設定により、内部メモリ 21 の領域 2 (21b) のフラッシュメモリ書込みプログラムを起動して、内部メモリ 21 の領域 1 (21a) の起動プログラムを書き換えることも可能となる。

【0029】

このように、実施の形態 5 によれば、FPGA の内部メモリを複数の領域に分割して構成するようにしたので、内部メモリでも起動プログラムを多重化保持することが可能となる。

【0030】

実施の形態 6 .

次に、実施の形態 6 について説明する。

実施の形態 1～5 では、更新起動プログラムの書込み操作中において失敗した場合でも再書込みできることを保証するための手段を提供した。しかし、新しく書き込もうとする起動プログラム自体に問題があって正しく起動が完了しない場合には、何度書込みをやり直しても正しく起動が完了できないので、速やかに元のプログラムに戻すことが必要になる。

実施の形態 6 は、新たに書き込んだ起動プログラムに問題がある場合に元の起動プログラムに速やかに戻す手段を提供する。

【0031】

図 6 は、この発明の実施の形態 6 による情報処理装置を示すブロック図である。

図 6 において、1、2、21、21a、21b、31、4～6 は、図 5 におけるものと同一のものである。

実施の形態 5 では、内部メモリ 21 の領域 1 (21a) と領域 2 (21b) は同じ役割であったが、実施の形態 6 では、内部メモリ 21 の領域 2 (21b) を起動プログラムの

10

20

30

40

50

バックアップ用途に割当てるとする。

【0032】

次に、動作について説明する。

フラッシュメモリ31を書き換える前に、フラッシュメモリ31から書換え前の起動プログラムを内部メモリ21の領域2(21b)に記録する。これが起動プログラムのバックアップの役割を果たす。

内部メモリ2に起動プログラムをバックアップした後で、フラッシュメモリ31に対して更新起動プログラム書込みを行う。書込み失敗した場合には、実施の形態1~5の方法で再書込みを行う。

この後、更新起動プログラムを用いて再起動しても正しく起動しないことが確認された場合には、起動プログラムの書き戻しを行う。ディップスイッチ4の設定により、内部メモリ21の領域2(21b)からフラッシュメモリ31に対して起動プログラム書込みを行うようにFPGA2に処理を定義しておく。

10

【0033】

このように、実施の形態6によれば、FPGAの内部メモリを複数の領域に分割して構成するとともに、そのうち1つの領域を起動プログラムのバックアップ領域として定義し、更新起動プログラム書込み後に正常に起動しない場合には元の起動プログラムを書き戻せるようにしたので、新たに書込みした起動プログラムに異常があった場合でも元の起動プログラムで起動できるようになり、情報処理装置の可用性、信頼性を高めることができる。

20

【0034】

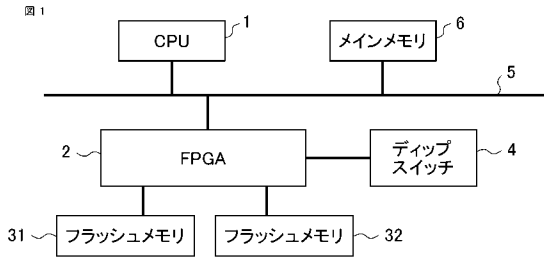
なお、本発明は、その発明の範囲内において、各実施の形態を自由に組み合わせたり、各実施の形態を適宜、変形、省略することが可能である。

【符号の説明】

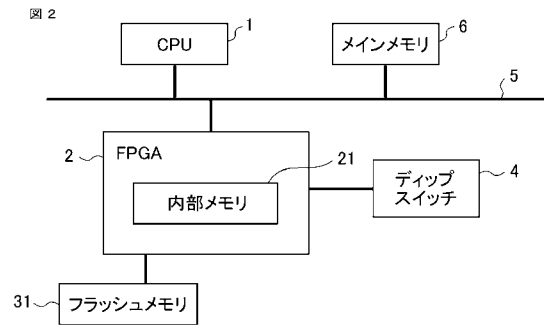
【0035】

- 1 CPU、2 FPGA、21 FPGAの内部メモリ、
31、32 フラッシュメモリ、4 ディップスイッチ、5 システムバス、
6 メインメモリ。

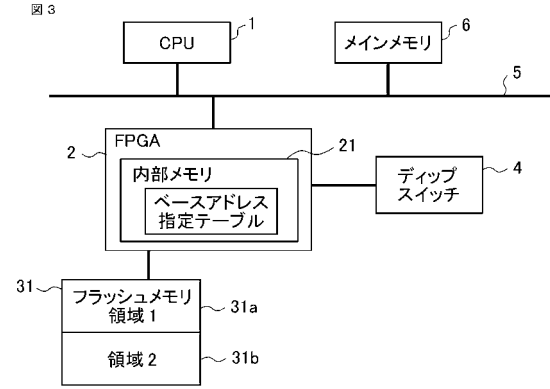
【 図 1 】



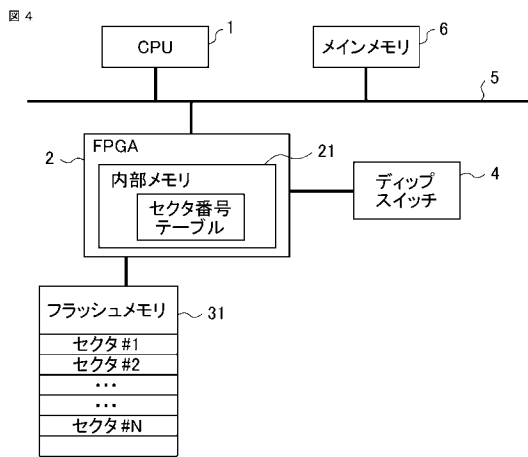
【 図 2 】



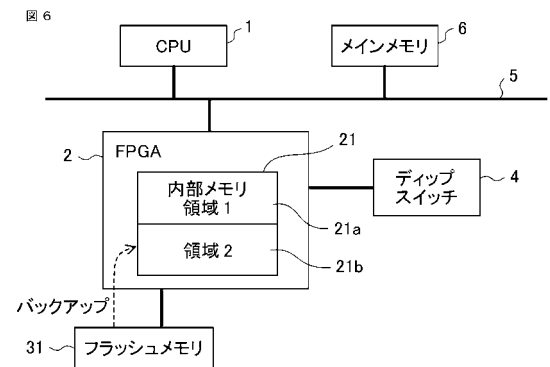
【 図 3 】



【 図 4 】



【 図 6 】



【 図 5 】

