

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-160367
(P2014-160367A)

(43) 公開日 平成26年9月4日(2014.9.4)

(51) Int.Cl.		F I		テーマコード (参考)
G06F 9/48	(2006.01)	G06F 9/46	311B	
G06F 9/50	(2006.01)	G06F 9/46	310N	
		G06F 9/46	465A	

審査請求 未請求 請求項の数 3 O L (全 11 頁)

(21) 出願番号 特願2013-30627 (P2013-30627)
(22) 出願日 平成25年2月20日 (2013.2.20)

(71) 出願人 000006013
三菱電機株式会社
東京都千代田区丸の内二丁目7番3号
(74) 代理人 100094916
弁理士 村上 啓吾
(74) 代理人 100073759
弁理士 大岩 増雄
(74) 代理人 100127672
弁理士 吉澤 憲治
(74) 代理人 100088199
弁理士 竹中 考生
(72) 発明者 湊 恵一
東京都千代田区丸の内二丁目7番3号 三
菱電機株式会社内

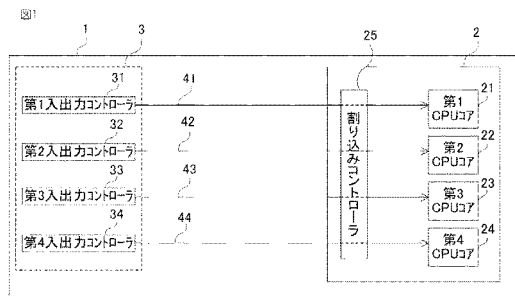
(54) 【発明の名称】 演算処理装置

(57) 【要約】

【課題】 割込管理をCPUで行う必要がなく、CPU負荷を下げることができる演算処理装置を提供する。

【解決手段】 演算処理を行うCPU部2と外部入出力機器との入出力信号の授受を行う入出力コントローラ部3から構成され、第1～第4入出力コントローラ31～34はCPU部2に対して定周期で割り込み信号を発生し、割り込み信号に対して対応する第1～第4入出力コントローラ31～34の入出力信号の処理を行う第1～第4CPUコア21～24を予め設定しておく。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

演算処理を行う CPU 部と外部入出力機器との入出力信号の授受を行う入出力コントローラ部から構成され、

前記 CPU 部は複数の CPU コアを備え、

前記入出力コントローラ部は複数の入出力コントローラを備え、

前記入出力コントローラは前記 CPU 部に対して定周期で割り込み信号を発生し、

前記割り込み信号に対して対応する前記入出力コントローラの前記入出力信号の処理を行う前記 CPU コアを予め設定しておく構成の演算処理装置。

【請求項 2】

前記割り込み信号に対して前記入出力信号の処理を行う前記 CPU コアとして一部の特定の前記 CPU コアを割り当てる構成とした請求項 1 に記載の演算処理装置。

【請求項 3】

前記 CPU コアは、複数の前記入出力コントローラからの前記割り込み信号に対して前記入出力信号の処理を行う構成において、

さらに割り込みタイミング制御部を設け、

前記割り込みタイミング制御部は、前記 CPU コアが前記入出力コントローラの前記割り込み信号に対して前記入出力信号の処理を実施している時に他の前記入出力コントローラの前記割り込み信号が発生した場合には、前記 CPU コアへの他の前記入出力コントローラからの前記割り込み信号の出力を一定時間遅らせる制御を行う構成とした請求項 2 に記載の演算処理装置。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、定周期処理を行うマルチコアプロセッサ（マルチコア CPU）構成の演算処理装置に関し、特に割り込み制御方式に関するものである。

【背景技術】

【0002】

演算処理装置は、複数の現場機器のデータを取得し、そのデータに対して CPU（Central Processing Unit）にて演算処理を行い、その演算結果を上位装置に通知する処理を行う。演算処理装置は、この演算処理および通知処理を通常定周期で行う。具体的には入出力コントローラでデータを取得したら、CPU に対して割り込み信号を発生し、CPU は入出力コントローラからデータを取得し演算処理を行う。

産業用装置に適用する CPU についても、マルチコアを持つ CPU が主流となってきており、各 CPU コアに演算処理を分散させて行うことによって、処理性能を向上させることができる。

【0003】

処理性能を向上させるために、CPU コアのアイドル状態や割り込み種別の情報に基づき、あるいは時分割処理で、CPU コアから割り込みマスクレジスタの設定を変更して割り込みコントローラを動的に制御し、割り込み先の CPU コアを分散する方法が開示されている（例えば、特許文献 1）。

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開平 5 - 3 2 4 5 6 9 号公報（段落 [0 0 1 5] ~ [0 0 2 2] ）

【発明の概要】

【発明が解決しようとする課題】

【0005】

特許文献 1 の開示発明では、リアルタイムで割り込み信号処理を行うため、CPU で割込管理を行う必要があり、CPU の負荷が上昇する問題がある。一方、演算処理装置では

10

20

30

40

50

、割り込み信号は定周期で発生し、割り込み信号が発生するタイミングや間隔はあらかじめ想定できるため、割り込み先を動的に変更する必要はない。

【0006】

この発明は、上記のような問題を解決するためになされたものであり、割込管理をCPUで行う必要がなく、CPU負荷を下げることでできる演算処理装置を提供することを目的とする。

【課題を解決するための手段】

【0007】

この発明に係る演算処理装置は、演算処理を行うCPU部と外部入出力機器との入出力信号の授受を行う入出力コントローラ部から構成され、CPU部は複数のCPUコアを備え、入出力コントローラ部は複数の入出力コントローラを備え、入出力コントローラはCPU部に対して定周期で割り込み信号を発生し、割り込み信号に対して対応する入出力コントローラの入出力信号の処理を行うCPUコアを予め設定しておく構成としたものである。

【発明の効果】

【0008】

この発明に係る演算処理装置は、上記のように構成されているため、割込管理のためにCPUの状態を監視する必要がなく、CPU負荷を下げることでできる。

【図面の簡単な説明】

【0009】

【図1】この発明の実施の形態1の演算処理装置に係る構成図である。

【図2】この発明の実施の形態2の演算処理装置に係る構成図である。

【図3】この発明の実施の形態3の演算処理装置に係る構成図である。

【図4】この発明の実施の形態3の演算処理装置に係る割り込み信号処理の説明図である。

【図5】この発明の実施の形態3の演算処理装置に係る割り込み信号処理のフローチャートである。

【発明を実施するための形態】

【0010】

実施の形態1 .

実施の形態1は、入出力コントローラはCPU部に対して定周期で割り込み信号を発生し、割り込み信号に対して入出力コントローラの入出力信号の処理を行うCPUコアを予め設定しておく構成とした演算処理装置に関するものである。

【0011】

以下、本願発明の実施の形態1に係る演算処理装置1の構成、動作について、演算処理装置の構成図である図1に基づいて説明する。

【0012】

まず演算処理装置1の全体構成を説明する。

図1において、演算処理装置1は、CPU部2と入出力コントローラ部3から構成される。CPU部2は、第1～第4CPUコア21～24（総称する場合は、CPUコアと適宜記載する）と割り込みコントローラ25から構成される。入出力コントローラ部3は、第1～第4入出力コントローラ31～34（総称する場合は、入出力コントローラと適宜記載する）から構成される。

入出力コントローラ部3の第1～第4入出力コントローラ31～34と、CPU部2の割り込みコントローラ25の間に割り込み信号ライン41～44が設けられている。

また、CPU部2では、割り込みコントローラ25の出力信号を第1～第4CPUコア21～24に出力する信号ラインが設けられている。

また、第1～第4入出力コントローラ31～34と第1～第4CPUコア21～24の間には、入出力データの授受を行うためのデータ共有バス（図示せず）が設けられている。

。

10

20

30

40

50

【 0 0 1 3 】

第 1 ~ 第 4 入出力コントローラ 3 1 ~ 3 4 には、複数の外部入出力機器である現場機器（図示せず）が接続されている。第 1 ~ 第 4 入出力コントローラ 3 1 ~ 3 4 は、現場機器から、例えば接点、電圧、電流、パルス信号を受信するとともに、現場機器に対して、例えば接点、電圧、電流信号による操作信号を出力する。

【 0 0 1 4 】

演算処理装置 1 は、図示しない上位装置との間で、例えば通信インターフェイスを経由して、信号の授受を行う。演算処理装置 1 は、現場機器状態の監視、保存用のデータを上位装置に出力し、上位装置からは、現場機器のマニュアル操作信号および演算条件や設定値を受信する。

10

【 0 0 1 5 】

次に、実施の形態 1 の演算処理装置 1 の機能、動作を説明する。

第 1 ~ 第 4 入出力コントローラ 3 1 ~ 3 4 は、現場機器からの信号をデジタル信号に変換して、CPU 部 2 に出力するために、定周期で割り込み信号を CPU 部 2 に対して発生する。

第 1 ~ 第 4 入出力コントローラ 3 1 ~ 3 4 は、CPU 部 2 の割り込みコントローラ 2 5 に対して、割り込み信号ライン 4 1 ~ 4 4 を経由して、割り込み信号を出力する。

【 0 0 1 6 】

割り込みコントローラ 2 5 は、予め入出力コントローラと CPU コアとの対応関係を決めたコントローラ設定に基づき、入出力コントローラが発生した割り込み信号を処理する CPU コアを判定する。この判定結果に基づき、第 1 ~ 第 4 入出力コントローラ 3 1 ~ 3 4 からの割り込み信号を第 1 ~ 第 4 CPU コア 2 1 ~ 2 4 に出力する。

20

なお、「割り込み信号を処理する」とは、後で説明するように CPU コアが入出力コントローラから現場機器からの入力信号を受信し、また現場機器への操作信号を出力することをいう。

【 0 0 1 7 】

実施の形態 1 の演算処理装置 1 では、割り込みコントローラ 2 5 は、第 1 入出力コントローラ 3 1 からの割り込み信号を、第 1 CPU コア 2 1 に出力する。割り込みコントローラ 2 5 は、第 2 入出力コントローラ 3 2 からの割り込み信号を第 2 CPU コア 2 2 に、第 3 入出力コントローラ 3 3 からの割り込み信号を第 3 CPU コア 2 3 に、第 4 入出力コントローラ 3 4 からの割り込み信号を第 4 CPU コア 2 4 に、それぞれに出力する。

30

【 0 0 1 8 】

割り込みコントローラ 2 5 から割り込み信号を受信した第 1 ~ 第 4 CPU コア 2 1 ~ 2 4 は、共有データバスを経由して、対応する第 1 ~ 第 4 入出力コントローラ 3 1 ~ 3 4 から入力信号を受信する。

第 1 CPU コア 2 1 を例として、具体的な入出力データの授受方法を説明する。割り込みコントローラ 2 5 から割り込み信号を受信した第 1 CPU コア 2 1 は、共有データバスに対して第 1 入出力コントローラ 3 1 を指定して、共有データバスを経由して、第 1 入出力コントローラ 3 1 から第 1 入出力コントローラ 3 1 に接続されている現場機器からの入力信号を受信する。

40

【 0 0 1 9 】

第 1 CPU コア 2 1 は、第 1 入出力コントローラ 3 1 から入力信号を受信後、第 1 入出力コントローラ 3 1 に対して、共有データバスを経由して、第 1 入出力コントローラ 3 1 に接続されている現場機器に対する操作信号を出力する。第 1 入出力コントローラ 3 1 は、第 1 CPU コア 2 1 から受信した操作信号を、必要な信号形態、例えば接点信号や電圧信号などのアナログ信号に変換して、現場機器に出力する。

なお、第 1 CPU コア 2 1 から第 1 入出力コントローラ 3 1 に出力する出力信号は、前回の演算周期で CPU 部 2 が受信した入力データおよび上位装置から受信した演算条件や設定値に基づき CPU 部 2 が演算した結果に基づいたものである。上位装置から受信した現場機器のマニュアル操作信号も、この時第 1 CPU コア 2 1 から第 1 入出力コントロー

50

ラ 3 1 に出力される。

【 0 0 2 0 】

次に本実施の形態 1 の演算処理装置 1 の特徴を説明する。

特許文献 1 開示の演算処理装置では、CPU コアで割り込み状態を監視し、割り込みコントローラを動的に制御し、割り込み信号の割り振りを行っていた。しかし、定周期割り込み処理を行う演算処理装置では、割り込み信号が定周期で発生し、この割り込み信号に対して必要な処理を事前に設計できる。したがって、割り込み信号処理を行う CPU コアを予め固定的に割り振っても、割り込み信号処理が輻輳して規定時間内に完了しない事態が発生するおそれはない。

たとえば、割り込み周期が 10ms 間隔である場合、割り込み処理時間が割り込み周期 10ms を下回る場合には、問題は発生しない。したがって、演算処理装置 1 を起動する時、入出力コントローラからの割り込み信号の処理が分散するように、割り込み信号を処理する CPU コアを予め設定しておくことができる。

【 0 0 2 1 】

このように、入出力コントローラからの割り込み信号を処理する CPU コアを分散するように予め設定しておく方式とすることで、割り込み信号の割り振りを行うために、CPU コアで割り込み状態を監視し、割り込みコントローラを動的に制御する必要がない。したがって、CPU 部の負荷を下げることができ、CPU 部全体の処理効率を向上させることができる。

【 0 0 2 2 】

以上、実施の形態 1 で説明した演算処理装置の構成は 1 例であり、入出力コントローラは、2 台、3 台または、5 台以上であってもよい。

また、CPU コアは、2 台、3 台または、5 台以上であってもよい。

【 0 0 2 3 】

以上説明したように、実施の形態 1 の演算処理装置 1 は、入出力コントローラは CPU 部に対して定周期で割り込み信号を発生し、割り込み信号に対して入出力コントローラの入出力信号の処理を行う CPU コアを予め設定しておく構成としたものである。このため、割込管理のために CPU の状態を監視する必要がなく、CPU 負荷を下げるができる。また、実施の形態 1 の演算処理装置 1 は、CPU 部全体の処理効率を向上させることができるため省エネルギーの効果がある。

【 0 0 2 4 】

実施の形態 2 .

実施の形態 2 の演算処理装置は、入出力コントローラは CPU 部に対して定周期で割り込み信号を発生し、この割り込み信号に対して入出力コントローラの入出力信号の処理を行う CPU コアを特定の一部の CPU コアに予め設定しておく構成としたものである。

【 0 0 2 5 】

以下、実施の形態 2 の演算処理装置 100 の構成、動作について、演算処理装置 100 の構成図である図 2 に基づいて実施の形態 1 (図 1) との差異を中心に説明する。

なお、図 2 において、図 1 と同一あるいは相当部分には、同一の符号を付している。

【 0 0 2 6 】

図 2 において、演算処理装置 100 は、CPU 部 2 と入出力コントローラ部 3 から構成される。CPU 部 2 は、第 1 ~ 第 4 CPU コア 21 ~ 24 と割り込みコントローラ 26 から構成される。入出力コントローラ部 3 は、第 1 ~ 第 4 入出力コントローラ 31 ~ 34 から構成される。

入出力コントローラ部 3 の第 1 ~ 第 4 入出力コントローラ 31 ~ 34 と、CPU 部 2 の割り込みコントローラ 26 の間に割り込み信号ライン 41 ~ 44 が設けられている。

また、CPU 部 2 では、割り込みコントローラ 26 の出力信号を第 1、第 2 CPU コア 21、22 に出力する信号ラインが設けられている。

また、第 1 ~ 第 4 入出力コントローラ 31 ~ 34 と第 1、第 2 CPU コア 21、22 の間には、入出力データの授受を行うためのデータ共有バス (図示せず) が設けられている

10

20

30

40

50

。

【 0 0 2 7 】

第 1 ~ 第 4 入出力コントローラ 3 1 ~ 3 4 には、現場機器（図示せず）が接続されている。

また、演算処理装置 1 0 0 は、図示しない上位装置との間で、例えば通信インターフェイスを経由して、信号の授受を行う。

第 1 ~ 第 4 入出力コントローラ 3 1 ~ 3 4 と現場機器との信号の授受、および演算処理装置 1 0 0 と上位装置との信号に授受については、実施の形態 1 と同様であるため、説明は省略する。

【 0 0 2 8 】

次に、実施の形態 2 の演算処理装置 1 0 0 の機能、動作を説明する。

第 1 ~ 第 4 入出力コントローラ 3 1 ~ 3 4 は、現場機器からの信号をデジタル信号に変換して、CPU 部 2 に出力するために、定周期で割り込み信号を CPU 部 2 に対して発生する。

第 1 ~ 第 4 入出力コントローラ 3 1 ~ 3 4 は、CPU 部 2 の割り込みコントローラ 2 6 に対して、割り込み信号ライン 4 1 ~ 4 4 を経由して、割り込み信号を出力する。

【 0 0 2 9 】

割り込みコントローラ 2 6 は、予め入出力コントローラと CPU コアとの対応関係を設定したコントローラ設定に基づき、入出力コントローラが発生した割り込み信号を処理する CPU コアを判定する。割り込みコントローラ 2 6 は、この判定結果に基づき、第 1 入出力コントローラ 3 1 および第 2 入出力コントローラ 3 2 からの割り込み信号は、第 1 CPU コア 2 1 に出力する。割り込みコントローラ 2 6 は、第 3 入出力コントローラ 3 3 および第 4 入出力コントローラ 3 4 からの割り込み信号は、第 2 CPU コア 2 2 に出力する。

【 0 0 3 0 】

割り込みコントローラ 2 6 から割り込み信号を受信した第 1、第 2 CPU コア 2 1、2 2 は、共有データバスを経由して、対応する第 1 ~ 第 4 入出力コントローラ 3 1 ~ 3 4 から入力信号を受信する。

第 1 CPU コア 2 1 を例として、具体的な入出力データの授受方法を説明する。第 1 入出力コントローラ 3 1 が発生した割り込み信号を、割り込みコントローラ 2 6 から受信した第 1 CPU コア 2 1 は、共有データバスに対して第 1 入出力コントローラ 3 1 を指定する。第 1 CPU コア 2 1 は共有データバスを経由して、第 1 入出力コントローラ 3 1 から第 1 入出力コントローラ 3 1 に接続されている現場機器からの入力信号を受信する。

【 0 0 3 1 】

第 1 CPU コア 2 1 は、第 1 入出力コントローラ 3 1 から入力信号を受信後、第 1 入出力コントローラ 3 1 に対して、共有データバスを経由して、第 1 入出力コントローラ 3 1 に接続されている現場機器に対する操作信号を出力する。第 1 入出力コントローラ 3 1 は、第 1 CPU コア 2 1 から受信した操作信号を、必要な信号形態、例えば接点信号や電圧信号などのアナログ信号に変換して、現場機器に出力する。

なお、第 1 CPU コア 2 1 から第 1 入出力コントローラ 3 1 に出力する出力信号は、前回の演算周期で CPU 部が受信した入力データおよび上位装置から受信した演算条件や設定値に基づき CPU 部が演算した結果に基づいたものである。上位装置から受信した現場機器のマニュアル操作信号も、この時第 1 CPU コア 2 1 から第 1 入出力コントローラ 3 1 に出力される。

【 0 0 3 2 】

次に本実施の形態 2 の演算処理装置 1 0 0 の特徴を説明する。

実施の形態 1 では、全ての CPU コアに対して入出力コントローラからの割り込み信号を処理する CPU コアを全ての CPU コアに対して均等に設定することで、割り込み信号処理を分散させていた。

しかし、割り込み信号を処理する CPU コアを特定の一部の CPU コアに割り当てるこ

10

20

30

40

50

とで処理を分散させることもできる。実施の形態2の演算処理装置100では、第1、第2入出力コントローラ31、32の割り込み信号処理を第1CPUコア21で行い、第3、第4入出力コントローラ33、34の割り込み信号処理を第2CPUコア22で行うように設定している。

割り込み信号を処理するために必要な処理時間と、定周期割り込みの周期を元に検討した結果から、割り込み信号の処理が輻輳することがなければ、複数の割り込み信号の処理を1つのCPUコアにまとめて行っても問題ない。

【0033】

実施の形態2では、特定の一部のCPUコアに割り込み信号の処理を割り当てるため、それ以外のCPUコアを別の処理に割り当てることできる。

10

実施の形態2の演算処理装置100では、第3、第4CPUコアを、例えば、第1～第4入出力コントローラ31～34からの入力データの演算処理や、上位装置との信号授受のための通信処理の実行のみを実行させることができる。演算処理や上位装置との通信処理を別の専用のCPUコアに割り当てることできるので、割り込み信号の処理によって遅延することなく動作でき、CPU部全体の処理効率を向上できる。

【0034】

以上説明したように、実施の形態2の演算処理装置100は、入出力コントローラはCPU部に対して定周期で割り込み信号を発生し、この割り込み信号に対して入出力コントローラの入出力信号の処理を行うCPUコアを特定の一部のCPUコアに予め設定しておく構成としたものである。このため、割込管理のためにCPUの状態を監視する必要がなく、CPU負荷を下げることもできる。さらに、演算処理や上位装置との通信処理を専用のCPUコアに割り当てることできるので、CPU部全体の処理効率をさらに向上できる。

20

【0035】

実施の形態3

実施の形態3の演算処理装置200は、割り込みタイミング制御部をさらに設けて、CPUコアが他の割り込み信号に対する処理を実施している場合には、CPUコアへの割り込み信号の出力を一定時間遅らせる構成としたものである。

以下、実施の形態3の演算処理装置200の構成、動作について、演算処理装置200の構成図である図3、割り込み信号処理の説明図である図4および割り込み信号処理のフ

30

ローチャートである図5に基づいて差異を中心に説明する。

なお、図3において、図1または図2と同一あるいは相当部分には、同一の符号を付している。

【0036】

実施の形態3の演算処理装置200と実施の形態2の演算処理装置100との差異は、演算処理装置200では割り込みタイミング制御部5が追加されていることである。

【0037】

図3において、演算処理装置200は、CPU部2、入出力コントローラ部3および割り込みタイミング制御部5から構成される。CPU部2は、第1～第4CPUコア21～24と割り込みコントローラ26から構成される。入出力コントローラ部3は、第1～第4入出力コントローラ31～34から構成される。

40

入出力コントローラ部3の第1～第4入出力コントローラ31～34が発生する割り込み信号は、割り込みタイミング制御部5に入力される。割り込みタイミング制御部5で制御された割り込み信号が、割り込み信号ライン41～44を經由してCPU部2に出力される。

また、CPU部2では、割り込みコントローラ26の出力信号を各第1、第2CPUコア21、22に出力する信号ラインが設けられている。

また、第1～第4入出力コントローラ31～34と第1、第2CPUコア21、22の間には、入出力データの授受を行うためのデータ共有バス(図示せず)が設けられている。

50

【 0 0 3 8 】

第 1 ~ 第 4 入出力コントローラ 3 1 ~ 3 4 には、現場機器（図示せず）が接続されている。

また、演算処理装置 2 0 0 は、図示しない上位装置との間で、例えば通信インターフェイスを経由して、信号の授受を行う。

第 1 ~ 第 4 入出力コントローラ 3 1 ~ 3 4 と現場機器との信号の授受、および演算処理装置 2 0 0 と上位装置との信号に授受については、実施の形態 1 と同様であるため、説明は省略する。

【 0 0 3 9 】

次に、実施の形態 3 の演算処理装置 2 0 0 の機能、動作を説明する。

10

第 1 ~ 第 4 入出力コントローラ 3 1 ~ 3 4 は、現場機器からの信号をデジタル信号に変換して、CPU 部 2 に出力するために、定周期で割り込み信号を発生する。

実施の形態 3 の演算処理装置 2 0 0 では、第 1 ~ 第 4 入出力コントローラ 3 1 ~ 3 4 が定周期で発生する割り込み信号を割り込みタイミング制御部 5 で受けて、制御した後に第 1、第 2 CPU コア 2 1、2 2 に出力する。

割り込みタイミング制御部 5 は、後で説明するように CPU コアにおいて割り込み信号処理が輻輳しないように、第 1 ~ 第 4 入出力コントローラ 3 1 ~ 3 4 からの割り込み信号を制御する。

【 0 0 4 0 】

具体的な割り込み信号の制御方法を、第 1、第 2 入出力コントローラ 3 1、3 2 からの入出力信号を処理する第 1 CPU コア 2 1 に関する割り込み信号の制御を例として、図 4 に基づいて説明する。

20

定周期割り込み信号が複数の入出力コントローラから発生することを想定した場合、複数の割り込み信号が重なって発生することが考えられる。

図 4 (a) は、第 1 入出力コントローラ 3 1 および第 2 入出力コントローラ 3 2 からの割り込み信号が時間的に重なった場合を示している。

実施の形態 2 の演算処理装置 1 0 0 では、割り込みタイミング制御部 5 がなく、第 1、第 2 入出力コントローラ 3 1、3 2 からの割り込み信号を、そのまま CPU 部 2 に出力していた。

したがって、実施の形態 2 の演算処理装置 1 0 0 では、第 1 CPU コア 2 1 において第 1 入出力コントローラ 3 1 からの割り込み信号に対する処理を行っている間に、第 2 入出力コントローラ 3 2 からの割り込み信号を受信する場合があります。この場合、第 1 CPU コア 2 1 は、第 1 入出力コントローラ 3 1 からの割り込み信号に対する処理と第 2 入出力コントローラ 3 2 からの割り込み信号に対する処理を同時に行う必要がある。

30

このような状態を繰り返すと割り込み信号の処理が輻輳し、CPU コアの処理効率が低下する可能性がある。

【 0 0 4 1 】

実施の形態 3 の演算処理装置 2 0 0 では、複数の入出力コントローラから発生される割り込み信号が重なり、CPU コアにおける割り込み信号処理が輻輳することを確実に防止するため、割り込みタイミング制御部 5 を設けている。

40

【 0 0 4 2 】

割り込みタイミング制御部 5 の役割について、図 4 (b) に基づいて説明する。

割り込み信号が複数の入出力コントローラから重なって発生した場合、これらの割り込み信号を CPU コアに時間的に重なって出力しないように、割り込みタイミング制御部 5 が制御する。

例として、入出力コントローラ 3 1 から割り込み信号が発生された直後に入出力コントローラ 3 2 から割り込み信号が発生した場合を説明する。割り込みタイミング制御部 5 は、第 2 入出力コントローラ 3 2 からの割り込み信号を一定時間遅らせて第 1 CPU コア 2 1 に出力する。

割り込み信号の重なりを判断する所定時間、および割り込み信号の出力を遅らせる時間

50

(一定時間)については、割り込み信号の発生周期や割り込み信号処理に必要な時間に基づき予め設定しておく。

【0043】

割り込みコントローラ26は、予め入出力コントローラとCPUコアとの対応関係を設定したコントローラ設定に基づき、発生した割り込み信号の割り込み先のCPUコアを判定する。

実施の形態3の演算処理装置200では、この判定結果に基づき、割り込みコントローラ26は、第1入出力コントローラ31および第2入出力コントローラ32からの割り込み信号は、第1CPUコア21に出力する。割り込みコントローラ26は、第3入出力コントローラ33および第4入出力コントローラ34からの割り込み信号は、第2CPUコア22に出力する。

10

【0044】

割り込みコントローラ26から割り込み信号を受信した第1、第2CPUコア21、22は、共有データバスを経由して、対応する第1～第4入出力コントローラ31～34から入力信号を受信する。

第1、第2CPUコア21、22が第1～第4入出力コントローラ31～34の入出力データを授受する方法は、実施の形態2と同様であるため説明は省略する。

【0045】

次に、割り込みタイミング制御部5の処理を図5のフローチャートに基づいて説明する。

20

処理が開始されると、割り込みタイミング制御部5は割り込み信号が発生するまで待つ(S1)。

割り込みタイミング制御部5は、入出力コントローラが発生した割り込み信号を受信すると、同じCPUコアに出力すべき他の割り込み信号が所定時間以内に発生していたかを判定する(S2)。

所定時間以内に他の割り込み信号が発生していた場合は、一定時間ウエイトする(S3)。

その後、CPU部2に対して割り込み信号を出力する(S4)。

他の割り込み信号が所定時間以内に発生していない場合には、ステップ4に進み、そのままCPU部2に対して割り込み信号を出力する(S4)。

30

【0046】

実施の形態3によれば、割り込みタイミング制御部5からCPUコアへの割り込み信号が重なって出力されることがない。このため、CPUコアで割り込み信号を処理している途中で、別の割り込み信号を処理する必要がないため、CPU部2の処理効率を向上することができる。

【0047】

次に本実施の形態3の演算処理装置200の特徴を説明する。

演算処理装置200においては、割り込みタイミング制御部5を設けているため、例えば、第1入出力コントローラ31からの割り込み信号と第2入出力コントローラ32からの割り込み信号が重なっても、後で発生した割り込み信号を一定時間遅らせて第1CPUコアに出力するように制御できる。このため、第1、第2入出力コントローラ31、32から割り込み信号が重なって第1CPUコアに出力されて、第1CPUコアでの割り込み信号処理が輻輳すること確実に防止することができる。

40

【0048】

以上説明したように、実施の形態3の演算処理装置200は、割り込みタイミング制御部をさらに設けて、CPUコアが他の割り込み信号に対する処理を実施している場合には、CPUコアへの割り込み信号の出力を一定時間遅らせる構成としている。このため、割込管理のためにCPUの状態を監視する必要がなく、CPU負荷を下げ、演算処理や上位装置との通信処理を専用のCPUコアに割り当てることができるので、CPU部全体の処理効率を向上できる。さらに、CPUコアにおける割り込み信号処理の輻輳を確実に防止

50

できるため、CPU部全体の処理効率をさらに向上できる。

【0049】

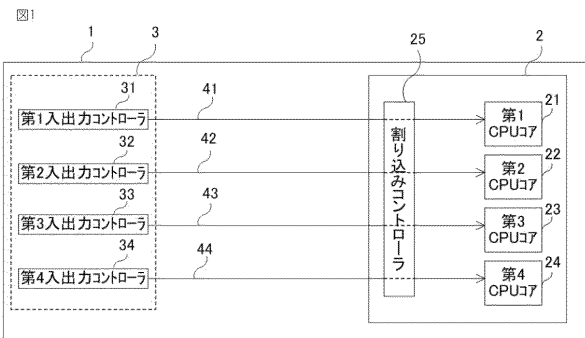
なお、本発明は、その発明の範囲内において、実施の形態を適宜、変形、省略することが可能である。

【符号の説明】

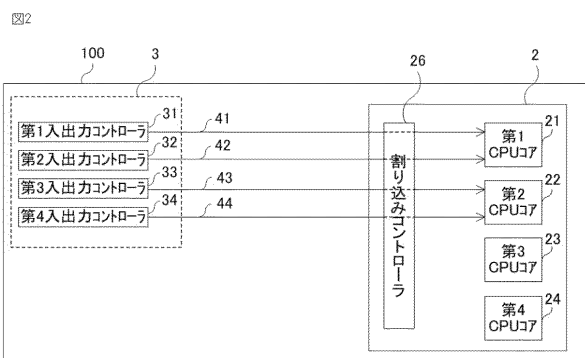
【0050】

1, 100, 200 演算処理装置、2 CPU部、3 入出力コントローラ部、
 5 割り込みタイミング制御部、21 第1CPUコア、22 第2CPUコア、
 23 第3CPUコア、24 第4CPUコア、25, 26 割り込みコントローラ、
 31 第1入出力コントローラ、32 第2入出力コントローラ、
 33 第3入出力コントローラ、34 第4入出力コントローラ、
 41~44 割り込み信号ライン。

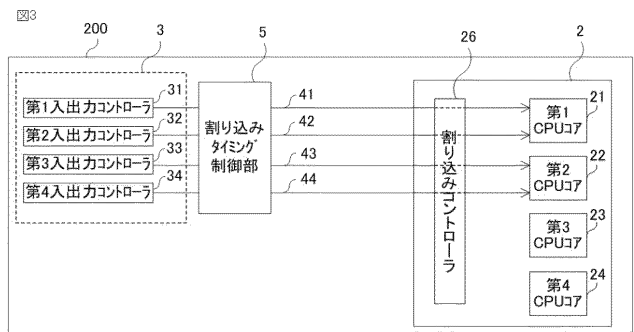
【図1】



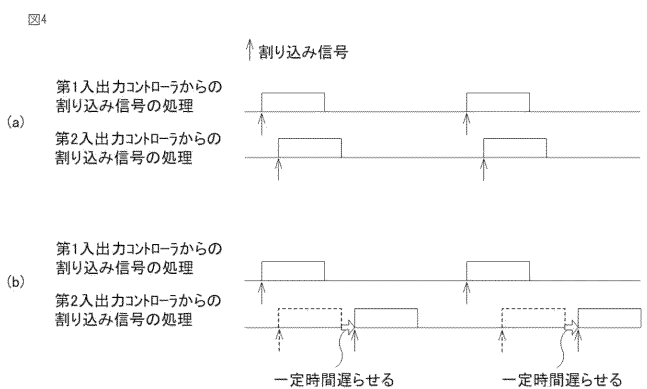
【図2】



【図3】



【図4】



【 図 5 】

