

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-247375
(P2013-247375A)

(43) 公開日 平成25年12月9日(2013.12.9)

(51) Int.Cl.	F I	テーマコード (参考)
HO4N 5/378 (2011.01)	HO4N 5/335 780	5C024
HO4N 5/374 (2011.01)	HO4N 5/335 740	

審査請求 未請求 請求項の数 9 O L (全 20 頁)

(21) 出願番号	特願2012-117280 (P2012-117280)	(71) 出願人	000000376
(22) 出願日	平成24年5月23日 (2012.5.23)		オリンパス株式会社
			東京都渋谷区幡ヶ谷2丁目43番2号
		(74) 代理人	100106909
			弁理士 棚井 澄雄
		(74) 代理人	100064908
			弁理士 志賀 正武
		(74) 代理人	100094400
			弁理士 鈴木 三義
		(74) 代理人	100086379
			弁理士 高柴 忠夫
		(74) 代理人	100129403
			弁理士 増井 裕士
		(74) 代理人	100139686
			弁理士 鈴木 史朗

最終頁に続く

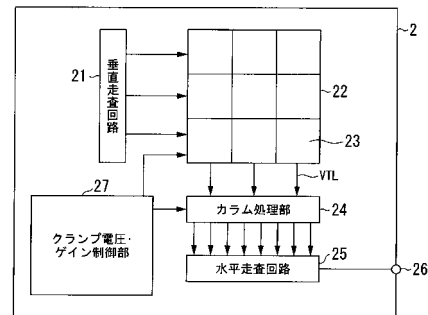
(54) 【発明の名称】 固体撮像装置および撮像装置

(57) 【要約】

【課題】 信号蓄積部に保持されている信号電荷のリークのばらつきに起因する画質の劣化を抑圧することができる固体撮像装置および撮像装置を提供する。

【解決手段】 画素23は、光電変換部と、光電変換部で発生した信号電荷を蓄積する信号蓄積部と、信号蓄積部に蓄積された信号電荷に基づく画素信号を画素23から出力する出力部と、信号蓄積部に蓄積された信号電荷をクランプ電圧でリセットするクランプ部と、を有する。クランプ電圧・ゲイン制御部27は、撮影条件に基づいてクランプ電圧を制御する。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

複数の画素を有し、
 前記画素は、
 光電変換部と、
 前記光電変換部で発生した信号電荷を蓄積する信号蓄積部と、
 前記信号蓄積部に蓄積された前記信号電荷に基づく画素信号を前記画素から出力する出力部と、
 前記信号蓄積部に蓄積された前記信号電荷をクランプ電圧でリセットするクランプ部と、
 を有し、さらに、
 撮影条件に基づいて前記クランプ電圧を制御するクランプ電圧制御部を有することを特徴とする固体撮像装置。

10

【請求項 2】

前記画素は、ソースとドレインの一方が前記信号蓄積部に接続されたMOSトランジスタを有し、
 前記出力部の出力レンジがより狭い撮影条件で撮影を行うとき、前記クランプ電圧制御部は、前記MOSトランジスタのバックゲートの電位、および、オフ状態における前記MOSトランジスタのゲートの電位と前記クランプ電圧との電位差が小さくなるように前記クランプ電圧を制御することを特徴とする請求項 1 に記載の固体撮像装置。

20

【請求項 3】

前記MOSトランジスタがNMOSトランジスタであり、前記出力部の出力レンジがより狭い撮影条件で撮影を行うとき、前記クランプ電圧制御部は、前記クランプ電圧をより低くすることを特徴とする請求項 2 に記載の固体撮像装置。

【請求項 4】

前記MOSトランジスタがPMOSトランジスタであり、前記出力部の出力レンジがより狭い撮影条件で撮影を行うとき、前記クランプ電圧制御部は、前記クランプ電圧をより高くすることを特徴とする請求項 2 に記載の固体撮像装置。

【請求項 5】

複数の画素を有し、前記画素を構成する回路要素が配置された第1の基板と第2の基板とが電氣的に接続されている固体撮像装置であって、
 前記光電変換部は前記第1の基板に配置され、
 前記信号蓄積部は前記第2の基板に配置されていることを特徴とする請求項 1 に記載の固体撮像装置。

30

【請求項 6】

前記出力部が出力した前記画素信号を増幅する信号増幅回路と、
 撮影条件に基づいて前記信号増幅回路のゲインを制御するゲイン制御部と、
 をさらに有することを特徴とする請求項 1 ~ 請求項 5 のいずれか一項に記載の固体撮像装置。

【請求項 7】

前記ゲイン制御部が前記画素信号の増幅量をより多くするように前記信号増幅回路のゲインを制御するときには、前記クランプ電圧制御部は前記出力部の出力レンジがより狭くなるように前記クランプ電圧を制御することを特徴とする請求項 6 に記載の固体撮像装置。

40

【請求項 8】

前記画素は、前記光電変換部で発生した信号電荷を前記信号蓄積部に転送する転送部をさらに有し、
 全ての前記画素の前記転送部が一括で前記信号電荷を転送することを特徴とする請求項 1 ~ 請求項 7 のいずれか一項に記載の固体撮像装置。

【請求項 9】

50

複数の画素を有する固体撮像装置と、撮影条件に基づいてクランプ電圧を制御するクランプ電圧制御部とを有し、

前記画素は、

光電変換部と、

前記光電変換部で発生した信号電荷を蓄積する信号蓄積部と、

前記信号蓄積部に蓄積された前記信号電荷に基づく画素信号を前記画素から出力する出力部と、

前記信号蓄積部に蓄積された前記信号電荷を前記クランプ電圧でリセットするクランプ部と、

を有することを特徴とする撮像装置。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、光電変換部を有する画素が複数配置された固体撮像装置、およびこの固体撮像装置を有する撮像装置に関する。

【背景技術】

【0002】

デジタルスチルカメラなどの撮像装置は、光を電気信号に変換して画素信号を出力する固体撮像装置を用いている。固体撮像装置の一種として、CMOS（MOSを含む）集積回路と同様のプロセスで製造できる特徴を活かしたCMOS型固体撮像装置（以下、「CMOSイメージセンサ」と記述する）がある。

20

【0003】

従来、一般的なCMOSイメージセンサは、二次元マトリクス状に配列された各画素の光電変換部が生成した信号電荷を行ごとに順次読み出すローリングシャッタ方式を採用している。この方式では、各画素の光電変換部における露光のタイミングは、信号電荷の読み出しの開始と終了によって決まるため、行ごとに露光のタイミングが異なる。このため、このようなCMOSイメージセンサを用いて動きの速い被写体を撮像すると、撮像した画像内で被写体が歪んでしまうという問題がある。そこで、近年、CMOSイメージセンサの各画素における信号電荷の蓄積の同時刻性を実現する同時撮像機能（グローバルシャッタ機能）を実現するために、画素内に信号蓄積部を備えたCMOSイメージセンサが提案されている（例えば、特許文献1参照）。

30

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2010-219339号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

しかし、画素内に信号蓄積部を備えたCMOSイメージセンサを用いて撮影された画像では、従来のローリングシャッタ方式を用いて撮影された画像よりも画質が劣る傾向がある。これは、信号電荷を信号蓄積部に転送してから、その信号電荷に基づく画素信号が読み出されるまでの信号保持期間に発生する信号電荷のリークのばらつきが画質を劣化させるためである。この信号電荷のリークの原因として、信号電荷を保持する容量である信号蓄積部に接続されたMOSトランジスタを介した電荷のリークが挙げられる。

40

【0006】

以下では、特許文献1の構成を用いて、信号電荷を保持する容量に接続されたMOSトランジスタを介した電荷のリークを説明する。ここでは、信号電荷を保持する容量（特許文献1の図9の電荷蓄積容量部61）に接続されたトランジスタとしてサンプルホールド部（特許文献1の図9の第2転送トランジスタTr2）を挙げて説明する。以下では、信号保持期間のサンプルホールド部のゲート・バックゲート・ドレインの電圧と電荷のリークとの関

50

係を説明する。

【0007】

特許文献1では、信号保持期間は、“蓄積露光時間”(特許文献1の図11)の終了から読み出し(特許文献1の図11において、第1画素行の読み出しは“第1画素行読み出し”、第2画素行の読み出しは“第2画素行読み出し”)の開始までの期間である。この信号保持期間では、ゲートの電圧(図9、図11の第2転送パルス TRG2の電圧)は0(Lレベル)である。

【0008】

通常、NMOSではバックゲートはグランドに接続されるのでバックゲートの電圧は0である。ドレインの電圧は、信号電荷を保持する容量の電圧と同じである。信号電荷を保持する容量に転送される電荷がなければ、その容量の電圧は、クランプ電圧である電源電圧VD0であり、転送される信号電荷が増えるに従い、その容量の電圧は低くなる。

10

【0009】

次に、ゲート・バックゲート・ドレインの電圧と電荷のリークとの関係を説明する。電荷のリークは、ゲート・バックゲートからドレインへの電荷のリークであり、ゲート・バックゲートとドレインとの電位差が大きいほど多くなる。ゲート・バックゲートの電圧は0なので、ゲート・バックゲートとドレインとの電位差は、信号電荷を保持する容量の電圧と同じである。したがって、信号電荷の蓄積量がより少ない画素でドレインの電圧が高く、リークがより多く発生する。そして、リークの発生量のより多い画素領域でリークのばらつきがより多く発生し、このばらつきが、リークに起因する画質劣化の主な原因となる。

20

【0010】

特にデジタルカメラ等の撮影において、暗い場所で撮影を行ったり、動きの速い被写体を撮影するために短時間の露光を行ったりするときには、画素から得られる信号電荷が少ないので、後段の回路で信号を増幅する、即ち、高ISO感度の設定を行う必要が生じる。前述したとおり、信号電荷の蓄積量がより少ない画素領域ではゲート・バックゲートとドレインとの電位差がより大きく、リークのばらつきがより多く発生する。信号増幅処理が行われると、このリークに起因する画質の劣化がより顕著にあらわれる。

【0011】

本発明は、上述した課題に鑑みてなされたものであって、信号蓄積部に保持されている信号電荷のリークのばらつきに起因する画質の劣化を抑圧することができる固体撮像装置および撮像装置を提供することを目的とする。

30

【課題を解決するための手段】

【0012】

本発明は、上記の課題を解決するためになされたもので、複数の画素を有し、前記画素は、光電変換部と、前記光電変換部で発生した信号電荷を蓄積する信号蓄積部と、前記信号蓄積部に蓄積された前記信号電荷に基づく画素信号を前記画素から出力する出力部と、前記信号蓄積部に蓄積された前記信号電荷をクランプ電圧でリセットするクランプ部と、を有し、さらに、撮影条件に基づいて前記クランプ電圧を制御するクランプ電圧制御部を有することを特徴とする固体撮像装置である。

40

【0013】

また、本発明の固体撮像装置において、前記画素は、ソースとドレインの一方が前記信号蓄積部に接続されたMOSトランジスタを有し、前記出力部の出力レンジがより狭い撮影条件で撮影を行うとき、前記クランプ電圧制御部は、前記MOSトランジスタのバックゲートの電位、および、オフ状態における前記MOSトランジスタのゲートの電位と前記クランプ電圧との電位差が小さくなるように前記クランプ電圧を制御することを特徴とする。

【0014】

また、本発明の固体撮像装置において、前記MOSトランジスタがNMOSトランジスタであり、前記出力部の出力レンジがより狭い撮影条件で撮影を行うとき、前記クランプ電圧制御部は、前記クランプ電圧をより低くすることを特徴とする。

50

【0015】

また、本発明の固体撮像装置において、前記MOSトランジスタがPMOSトランジスタであり、前記出力部の出力レンジがより狭い撮影条件で撮影を行うとき、前記クランプ電圧制御部は、前記クランプ電圧をより高くすることを特徴とする。

【0016】

また、本発明の固体撮像装置は、複数の画素を有し、前記画素を構成する回路要素が配置された第1の基板と第2の基板とが電氣的に接続されている固体撮像装置であって、前記光電変換部は前記第1の基板に配置され、前記信号蓄積部は前記第2の基板に配置されていることを特徴とする請求項1に記載の固体撮像装置。

【0017】

また、本発明の固体撮像装置は、前記出力部が出力した前記画素信号を増幅する信号増幅回路と、撮影条件に基づいて前記信号増幅回路のゲインを制御するゲイン制御部と、をさらに有することを特徴とする。

【0018】

また、本発明の固体撮像装置において、前記ゲイン制御部が前記画素信号の増幅量をより多くするように前記信号増幅回路のゲインを制御するときには、前記クランプ電圧制御部は前記出力部の出力レンジがより狭くなるように前記クランプ電圧を制御することを特徴とする。

【0019】

また、本発明の固体撮像装置において、前記画素は、前記光電変換部で発生した信号電荷を前記信号蓄積部に転送する転送部をさらに有し、全ての前記画素の前記転送部が一括で前記信号電荷を転送することを特徴とする。

【0020】

また、本発明は、複数の画素を有する固体撮像装置と、撮影条件に基づいてクランプ電圧を制御するクランプ電圧制御部とを有し、前記画素は、光電変換部と、前記光電変換部で発生した信号電荷を蓄積する信号蓄積部と、前記信号蓄積部に蓄積された前記信号電荷に基づく画素信号を前記画素から出力する出力部と、前記信号蓄積部に蓄積された前記信号電荷を前記クランプ電圧でリセットするクランプ部と、を有することを特徴とする撮像装置である。

【発明の効果】

【0021】

本発明によれば、撮影条件に基づいてクランプ電圧を制御することによって、信号蓄積部に保持されている信号電荷のリークのばらつきに起因する画質の劣化を抑圧することができる。

【図面の簡単な説明】

【0022】

【図1】本発明の第1の実施形態による撮像装置の構成を示すブロック図である。

【図2】本発明の第1の実施形態による固体撮像装置の構成を示すブロック図である。

【図3】本発明の第1の実施形態による固体撮像装置が備える画素の構成を示す回路図である。

【図4】本発明の第1の実施形態による固体撮像装置の動作を示すタイミングチャートである。

【図5】本発明の第1の実施形態による固体撮像装置が備えるサンプルホールド容量にかかる電圧の時間変化を示すタイミングチャートである。

【図6】本発明の第1の実施形態による固体撮像装置が備えるサンプルホールドトランジスタの信号保持期間中のゲート、バックゲート、ドレインの電圧を示す参考図である。

【図7】本発明の第1の実施形態による固体撮像装置に送信されるゲイン制御信号の制御システムを示すブロック図である。

【図8】本発明の第1の実施形態による固体撮像装置が備えるクランプ電圧・ゲイン制御部のISO感度設定ごとの制御を示す参考図である。

10

20

30

40

50

【図9】本発明の第2の実施形態による固体撮像装置が備える画素の構成を示す回路図である。

【図10】本発明の第2の実施形態による固体撮像装置の動作を示すタイミングチャートである。

【図11】本発明の第2の実施形態による固体撮像装置が備えるサンプルホールド容量にかかる電圧の時間変化を示すタイミングチャートである。

【図12】本発明の第2の実施形態による固体撮像装置が備えるサンプルホールドトランジスタの信号保持期間中のゲート、バックゲート、ドレインの電圧を示す参考図である。

【図13】本発明の第2の実施形態による固体撮像装置が備えるクランプ電圧・ゲイン制御部のISO感度設定ごとの制御を示す参考図である。

10

【図14】本発明の第3の実施形態による固体撮像装置の断面図である。

【図15】本発明の第3の実施形態による固体撮像装置が備える画素の構成を示す回路図である。

【図16】本発明の第4の実施形態による固体撮像装置が備える画素の構成を示す回路図である。

【図17】本発明の第4の実施形態による固体撮像装置の動作を示すタイミングチャートである。

【図18】本発明の第4の実施形態による固体撮像装置が備えるサンプルホールド容量にかかる電圧の時間変化を示すタイミングチャートである。

【発明を実施するための形態】

20

【0023】

以下、図面を参照し、本発明の実施形態を説明する。

【0024】

(第1の実施形態)

まず、本発明の第1の実施形態を説明する。図1は、本実施形態による撮像装置の構成を示している。本実施形態による撮像装置は、撮像機能を有する電子機器であればよく、デジタルスチルカメラのほか、デジタルビデオカメラ、内視鏡等であってもよい。

【0025】

本実施形態による撮像装置100は、光学レンズ1と、固体撮像装置2と、固体撮像装置駆動部3と、画像信号処理部4とを有する。光学レンズ1は、被写体から入射した光(被写体光)を固体撮像装置2の撮像面上に結像させる。これにより固体撮像装置2内に一定期間、信号電荷が蓄積される。固体撮像装置2は、固体撮像装置駆動部3によって駆動・制御され、光学レンズ1を介して固体撮像装置2に入射した被写体光を画素信号に変換するMOS型撮像素子である。

30

【0026】

固体撮像装置駆動部3は、固体撮像装置2の転送動作およびシャッタ動作を制御する駆動制御信号と、固体撮像装置2から出力される画素信号のゲインを制御するゲイン制御信号とを固体撮像装置2に供給する。固体撮像装置駆動回路3から供給される駆動制御信号とゲイン制御信号により、固体撮像装置2の制御が行われる。画像信号処理部4は、各種の画像信号処理を行う。画像信号処理が行われた画素信号は、メモリなどの記憶媒体に記憶され、あるいはモニタに出力される。

40

【0027】

図2は、固体撮像装置2の構成を示している。固体撮像装置2は、垂直走査回路21と、画素部22と、カラム処理部24と、水平走査回路25と、出力端子26と、クランプ電圧・ゲイン制御部27とを備えている。

【0028】

垂直走査回路21は、シフトレジスタやアドレスデコーダ等によって構成され、固体撮像装置2の外部の固体撮像装置駆動部3から与えられる駆動制御信号に基づいて、行単位で画素部22の画素23の駆動制御を行う。この駆動制御には、画素23のリセット動作、蓄積動作、信号読み出し動作等が含まれる。この駆動制御を行うため、垂直走査回路21は、それぞ

50

れの画素23へ制御信号を出力し、画素23を行毎に独立して制御する。垂直走査回路21が駆動制御を行うことによって、画素23から垂直信号線VTLに画素信号が出力される。

【0029】

画素部22は、複数の画素23を行方向および列方向の2次元状に配列して構成されている。画素23は、光学レンズ1により結像された被写体の光学像を光電変換により画素信号に変換し、垂直走査回路21が行う制御に基づいて、列ごとに設けられている垂直信号線VTLを介してカラム処理部24に画素信号を出力する。図2では、3行3列の9個の画素23が配列されているが、図2に示す画素の配列は一例であり、行数および列数は2以上であればよい。

【0030】

カラム処理部24は、画素部22から垂直信号線VTLに出力された画素信号に対して所定の信号処理を行うとともに、信号処理後の画素信号を一時的に保持する。具体的には、カラム処理部24は、単位画素の画素信号に対して、例えばCDS (Correlated Double Sampling; 相関二重サンプリング) によるノイズ除去や、信号増幅、AD (アナログ - デジタル) 変換等の信号処理を行う。ノイズ除去処理により、画素ごとに固有の固定パターンノイズが除去される。なお、ここで例示した信号処理は一例に過ぎず、信号処理はこれらに限られるものではない。

10

【0031】

水平走査回路25は、カラム処理部24から出力された1行分の画素信号を水平方向に順次出力することにより、画素信号を読み出す。読み出された画素信号は出力端子26から固体撮像装置2の外部へ出力される。クランプ電圧・ゲイン制御部27は、固体撮像装置駆動制御部3から与えられるゲイン制御信号に基づいて画素部22とカラム処理部24の駆動制御を行う。

20

【0032】

図3は、画素23の回路構成を示している。図3に示される各トランジスタは全てNMOSトランジスタを示している。画素23は光電変換部PDと、転送トランジスタMtx (転送部) と、第1の増幅トランジスタMa1と、第1の電流源IDD1と、リセットトランジスタMrstと、クランプトランジスタMcl (クランプ部) と、クランプ容量Cclと、サンプルホールドトランジスタMshと、サンプルホールド容量Csh (信号蓄積部) と、第2の増幅トランジスタMa2 (出力部) と、選択トランジスタMsel (選択部) とで構成されている。

【0033】

光電変換部PDは、入射した光を光電変換して発生した信号電荷を蓄える。転送トランジスタMtxは、垂直走査回路21からの制御信号 TXに基づいて、光電変換部PDに蓄積された信号電荷を光電変換部PDから第1の増幅トランジスタMa1のゲートに転送する。第1の増幅トランジスタMa1は、ゲートに転送された信号電荷に応じた増幅信号をソースから出力する。

30

【0034】

第1の電流源IDD1は、増幅トランジスタMa1の負荷として機能し、第1の増幅トランジスタMa1を駆動する電流を増幅トランジスタMa1に供給する。第1の増幅トランジスタMa1と第1の電流源IDD1はソースフォロワ回路を構成する。

【0035】

リセットトランジスタMrstは、垂直走査回路21からの制御信号 RSTに基づいて、光電変換部PDに蓄積された信号電荷と、第1の増幅トランジスタMa1のゲートに蓄積された信号電荷とを電源電圧VDDでリセットする。クランプトランジスタMclは、垂直走査回路21からの制御信号 CLに基づいて、クランプ容量Cclとサンプルホールド容量Cshをクランプ電圧VCLでクランプ (リセット) する。

40

【0036】

クランプ容量Cclは、サンプルホールドトランジスタMshとクランプトランジスタMclを用いてクランプ処理を行うことで、第1の増幅トランジスタMa1から出力された増幅信号のノイズを除去する。サンプルホールドトランジスタMshは、垂直走査回路21からの制御信号 SHに基づいて、クランプ容量Cclとサンプルホールド容量Cshの接続を切り替え、クラ

50

ンプ容量 C_{cl} の他端の電圧レベルをサンプルホールドし、その電圧レベルに応じた信号電荷をサンプルホールド容量 C_{sh} に蓄積する。

【0037】

サンプルホールド容量 C_{sh} は、ノイズが除去された信号電荷を保持する。第2の増幅トランジスタ Ma_2 は、サンプルホールド容量 C_{sh} に保持された信号電荷に応じた画素信号をソースから出力する。第2の増幅トランジスタ Ma_2 と、画素23の外部の垂直信号線VTLに接続された第2の電流源 IDD_2 はソースフォロア回路を構成する。選択トランジスタ M_{sel} は、垂直走査回路21からの制御信号SELに基づいて、第2の増幅トランジスタ Ma_2 から出力された画素信号を垂直信号線VTLに読み出す。

【0038】

次に、固体撮像装置2の動作を説明する。図4は固体撮像装置2の動作を示している。最初に、全画素の制御信号TX, RSTが同時にHレベルとなることで、転送トランジスタ M_t とリセットトランジスタ M_{rst} がオン状態となる。これによって、全画素の光電変換部PDの信号電荷がリセットされる。続いて、制御信号TX, RSTが同時にLレベルとなることで、全画素の光電変換部PDにおける信号電荷の蓄積が開始される。

【0039】

信号電荷の蓄積の開始から一定期間が経過した後（任意の露光時間が経過した後）に、全画素の制御信号SH, CLが同時にHレベルとなることで、サンプルホールドトランジスタ M_{sh} とクランプトランジスタ M_{cl} がオン状態となる。これによって、全画素のクランプ容量 C_{cl} とサンプルホールド容量 C_{sh} がクランプ電圧 V_{cl} でクランプされる。

【0040】

続いて、全画素の制御信号RSTがHレベル、Lレベルとパルス状に変化することで、リセットトランジスタ M_{rst} がオン状態、オフ状態と変化する。これによって、全画素の第1の増幅トランジスタ Ma_1 のゲートに蓄積された信号電荷がリセットされる。この状態で全画素の制御信号CLがLレベルとなることで、クランプトランジスタ M_{cl} がオフ状態となる。さらに、全画素の制御信号TXがHレベル、Lレベルとパルス状に変化することで、転送トランジスタ M_t がオン状態、オフ状態と変化する。

【0041】

これによって、全画素において、光電変換部PDをリセットしたときの光電変換部PDの信号電荷に基づく第1の増幅トランジスタ Ma_1 の増幅信号と、光電変換部PDに蓄積された信号電荷に基づく第1の増幅トランジスタ Ma_1 の増幅信号とがクランプ容量 C_{cl} に出力され、クランプ容量 C_{cl} によりこれらの増幅信号の差分をとることでノイズの除去が行われ、ノイズ除去後の増幅信号がサンプルホールド容量 C_{sh} に転送される。その後、全画素の制御信号SHがLレベルとなることで、サンプルホールドトランジスタ M_{sh} がオフ状態となる。これによって、全画素において、ノイズ除去後の増幅信号がサンプルホールド容量 C_{sh} に保持される。

【0042】

続いて、以下のようにして画素信号の読み出しが行われる。画素信号を読み出す対象の行の制御信号SELがHレベルとなることで、選択トランジスタ M_{sel} がオン状態となる。これによって、サンプルホールド容量 C_{sh} に保持された信号に基づく画素信号が選択トランジスタ M_{sel} を介して垂直信号線VTLに読み出される。さらに、画素信号を読み出す対象の行の制御信号CLがHレベル、Lレベルと順に変化することで、クランプトランジスタ M_{cl} がオン状態、オフ状態と変化する。これによって、サンプルホールド容量 C_{sh} のクランプ信号（クランプ電圧 V_{cl} ）に基づく画素信号が選択トランジスタ M_{sel} を介して垂直信号線VTLに読み出される。

【0043】

上記のようにして垂直信号線VTLに読み出された2つの信号の差分をカラム処理部24でとることでノイズの除去が行われる。そして、画素信号を読み出す対象の行の制御信号SELがLレベルになることで、選択トランジスタ M_{sel} がオフ状態となり、画素信号の読み出しが完了する。この動作を1行ずつ順次行うことで、全ての画素の画素信号が読み出される

10

20

30

40

50

。上記の動作では、全画素の光電変換部PDに蓄積された信号電荷が一括して転送されるので、信号電荷の蓄積の同時性を実現することができる。

【0044】

図5は、クランプ容量 C_{cl} とサンプルホールド容量 C_{sh} がクランプされてから、サンプルホールド容量 C_{sh} に保持された信号に基づく画素信号が読み出されるまでの信号保持期間のサンプルホールド容量 C_{sh} にかかる電圧（図3の信号線Aの電圧）を示している。図5中の時刻 $T_1 \sim T_4$ は図4中の時刻 $T_1 \sim T_4$ に対応している。時刻 T_1 に制御信号 CL がHレベルとなることで、サンプルホールド容量 C_{sh} にかかる電圧はクランプ電圧 V_{CL} になる。

【0045】

その後、制御信号 CL がLレベルとなり、時刻 T_2 に制御信号 TX がHレベルとなることで、サンプルホールド容量 C_{sh} にかかる電圧は、クランプ電圧 V_{CL} から、光電変換部PDに蓄積された信号電荷に対応する電圧 V_{PIX} （ノイズ除去後）だけ下がる。そして、時刻 T_3 に制御信号 SH がLレベルとなることでサンプルホールドトランジスタ M_{sh} がオフ状態となって信号保持期間に入る。その後、時刻 T_4 に再度制御信号 CL がHレベルとなることで、サンプルホールド容量 C_{sh} にかかる電圧はクランプ電圧 V_{CL} となり、信号保持期間が終了する。

10

【0046】

ここで、図5中の V_{MIN} は、第2の増幅トランジスタ Ma_2 から出力できる電圧に対応する、サンプルホールド容量 C_{sh} にかかる電圧の下限を表している。サンプルホールド容量 C_{sh} にかかる電圧の上限はクランプ電圧 V_{CL} なので、第2の増幅トランジスタ Ma_2 の出力レンジ（=画素の出力レンジ）は、 $V_{CL} - V_{MIN}$ である。即ち、クランプ電圧 V_{CL} が小さくなると、出力レンジは狭くなる。

20

【0047】

図6は信号保持期間中のサンプルホールドトランジスタ M_{sh} のゲート、バックゲート、ドレインの電圧を示している。信号保持期間中、制御信号 SH はLレベルなので、ゲートの電圧は0である。また、NMOSトランジスタのバックゲートはグランドに接続されるので、バックゲートの電圧も0である。

【0048】

サンプルホールド容量 C_{sh} に接続されているドレインの電圧は、クランプ電圧 V_{CL} から、光電変換部PDに蓄積された信号電荷に対応する電圧 V_{PIX} だけ下がった $V_{CL} - V_{PIX}$ である。したがって、信号保持期間には、サンプルホールドトランジスタ M_{sh} のゲート・ドレイン間、バックゲート・ドレイン間に電位差 $V_{CL} - V_{PIX}$ が生じる。電位差 $V_{CL} - V_{PIX}$ がより大きいと、ゲートやバックゲートからドレインに電荷がより多くリークする。

30

【0049】

なお、図6では、サンプルホールドトランジスタ M_{sh} について説明したが、ドレインがサンプルホールド容量 C_{sh} に接続されているクランプトランジスタ M_{cl} についても同様で、信号保持期間にはゲート・ドレイン間、バックゲート・ドレイン間に電位差 $V_{CL} - V_{PIX}$ が生じる。光電変換部PDに蓄積された信号電荷が少ないほど、クランプトランジスタ M_{cl} のゲート・ドレイン間、バックゲート・ドレイン間の電位差 $V_{CL} - V_{PIX}$ が大きくなり、電荷のリークが多くなる。

【0050】

一方、クランプ電圧 V_{CL} を小さくすることで、ゲート・ドレイン間、バックゲート・ドレイン間の電位差を小さくして、電荷のリークを低減することができる。この場合、図5を参照して前述したとおり、画素の出力レンジは $V_{CL} - V_{MIN}$ なので、クランプ電圧 V_{CL} を小さくすると出力レンジが狭くなる。

40

【0051】

一般にデジタルカメラ等を用いた短時間露光での撮影時や、暗い場所での撮影時には、高ISO感度に設定し画素信号を増幅することで、画像を適切な明るさで表示するようにしている。また、高ISO感度に設定した場合、取り扱う電荷量は低ISO感度に設定した場合よりも少なくなるので、高ISO感度では画素信号の出力レンジは狭くてもよい。

【0052】

50

本実施形態では、撮影条件に合わせて決定したISO感度の設定値から画素信号の出力レンジが決定され、それに合わせてクランプ電圧が決定される。即ち、画素信号の増幅量に合わせてクランプ電圧が制御される。

【0053】

図7は、固体撮像装置2の外部の固体撮像装置駆動部3から固体撮像装置2に送られるゲイン制御信号の制御系統を示している。クランプ電圧・ゲイン制御部27は内部に、クランプ電圧を制御するクランプ電圧制御部27-1と、画素部22から出力された画素信号のゲインを制御するゲイン制御部27-2とを有する。また、カラム処理部24は、画素部22からカラム処理部24に出力された画素信号を増幅する信号増幅回路24-1を有する。

【0054】

固体撮像装置駆動部3から出力されたゲイン制御信号は、撮影条件により決定されたISO感度に基づく制御信号であり、固体撮像装置2内のクランプ電圧・ゲイン制御部27で受信される。クランプ電圧・ゲイン制御部27内のクランプ電圧制御部27-1は、受信したゲイン制御信号に基づいて、画素23から出力される画素信号の出力レンジを決定し、その出力レンジに基づき、画素部22に供給されるクランプ電圧VCLを設定する。また、これと同時に、クランプ電圧・ゲイン制御部27内のゲイン制御部27-2は、受信したゲイン制御信号に基づいて、カラム処理部内の信号増幅回路24-1のゲインを設定する。

【0055】

図8は、クランプ電圧・ゲイン制御部27のISO感度設定ごとの制御を示している。低ISO感度設定時には、ゲイン制御部27-2は信号増幅回路24-1のゲインを低く設定し、画素部22から出力される画素信号の出力レンジを広く設定する。出力レンジを広く設定するときには、クランプ電圧制御部27-1はクランプ電圧VCLを高く設定する。クランプ電圧VCLを高く設定することで、画素の出力レンジVCL - VMINが広がる。

【0056】

高ISO感度設定時には、ゲイン制御部27-2は信号増幅回路24-1のゲインを高く設定し、画素部22から出力される画素信号の出力レンジを狭く設定する。出力レンジを狭く設定するときには、クランプ電圧制御部27-1はクランプ電圧VCLを低く設定する。クランプ電圧VCLを低く設定することで、画素の出力レンジVCL - VMINは狭くなるが、信号増幅回路24-1で高いゲインをかけるので、出力端子26から出力される信号のレンジは広がる。また、信号保持期間中のサンプルホールドトランジスタMsh（クランプトランジスタMcI）のゲート・ドレイン間、バックゲート・ドレイン間の電位差VCL - VPIXを低くし、リークを抑圧することができる。画素ごとのリークを抑圧することで、画像に発生するリークのばらつきを抑圧することができる。

【0057】

このように、本実施形態では、信号増幅のゲインを制御するだけでなく、クランプ電圧を制御することで、信号保持期間中の電荷のリークのばらつきに起因する画質の劣化を抑圧することができる。

【0058】

なお、本実施形態では、信号増幅回路がカラム処理部に設けられていたが、水平走査回路と出力端子との間など、他の場所に信号増幅回路があってもよく、また、複数あってもよい。また、本実施形態では、クランプ電圧制御部が固体撮像装置内に設けられていたが、固体撮像装置外でクランプ電圧を制御し、それを固体撮像装置に供給する構成としてもよい。例えば、図1の固体撮像装置駆動部3がクランプ電圧制御部を有していてもよい。上記についてはこれ以降の実施形態でも同様にしてもよい。

【0059】

（第2の実施形態）

次に、本発明の第2の実施形態を説明する。本実施形態による撮像装置の構成は、画素部22を除いて、第1の実施形態による撮像装置の構成と同様である。第1の実施形態では、画素を構成する回路内のトランジスタにNMOSトランジスタを用いたが、本実施形態では、PMOSトランジスタを用いる。

10

20

30

40

50

【 0 0 6 0 】

図9は、本実施形態における画素23の回路構成を示している。図9に示される各トランジスタは全てPMOSトランジスタを示している。

【 0 0 6 1 】

画素23は、第1の実施形態における画素23（図3）と同様に、光電変換部PDと、転送トランジスタMtx（転送部）と、第1の増幅トランジスタMa1と、第1の電流源IDD1と、リセットトランジスタMrstと、クランプトランジスタMcl（クランプ部）と、クランプ容量Cclと、サンプルホールド容量Csh（信号蓄積部）と、サンプルホールドトランジスタMshと、第2の増幅トランジスタMa2（出力部）と、選択トランジスタMsel（選択部）とで構成されている。図9の各構成の機能は第1の実施形態で説明した機能と同様なので説明を省略する。

10

【 0 0 6 2 】

図10は固体撮像装置2の動作を示している。画素23の回路を構成するトランジスタがPMOSトランジスタであるため、各トランジスタは、ゲートに印加される制御信号がLレベルのときにオン状態となり、ゲートに印加される制御信号がHレベルのときにオフ状態となり、オン/オフの関係がNMOSトランジスタと逆になる。したがって、図4に示すタイミングチャートのLレベルとHレベルを入れ替えたものが、本実施形態のタイミングチャートである。それ以外は、第1の実施形態の図4と同様なので、説明を省略する。

【 0 0 6 3 】

図11は、クランプ容量Cclとサンプルホールド容量Cshがクランプされてから、サンプルホールド容量Cshに保持された信号に基づく画素信号が読み出されるまでの信号保持期間のサンプルホールド容量Cshにかかる電圧（図9の信号線Bの電圧）を示している。図11中の時刻T1～T4は図10中の時刻T1～T4に対応している。時刻T1に制御信号 CLがLレベルとなることで、サンプルホールド容量Cshにかかる電圧はクランプ電圧VCLになる。

20

【 0 0 6 4 】

その後、制御信号 CLがHレベルとなり、時刻T2に制御信号 TXがLレベルとなることで、サンプルホールド容量Cshにかかる電圧は、クランプ電圧VCLから、光電変換部PDに蓄積された信号電荷に対応する電圧VPIX（ノイズ除去後）だけ上がる。そして、時刻T3に制御信号 SHがHレベルとなることでサンプルホールドトランジスタMshがオフ状態となって信号保持期間に入る。その後、時刻T4に再度制御信号 CLがLレベルとなることで、サンプルホールド容量Cshにかかる電圧はクランプ電圧VCLとなり、信号保持期間が終了する。

30

【 0 0 6 5 】

ここで、図11中のVMAXは、第2の増幅トランジスタMa2から出力できる電圧に対応する、サンプルホールド容量Cshにかかる電圧の上限を表している。サンプルホールド容量Cshにかかる電圧の下限はクランプ電圧VCLなので、第2の増幅トランジスタMa2の出力レンジ（=画素の出力レンジ）は、VMAX - VCLである。即ち、クランプ電圧VCLが大きくなると、出力レンジは狭くなる。

【 0 0 6 6 】

図12は信号保持期間中のサンプルホールドトランジスタMshのゲート、バックゲート、ドレインの電圧を示している。信号保持期間中、制御信号 SHはHレベルなので、ゲートの電圧は電源電圧VDDである。また、PMOSトランジスタのバックゲートは電源電圧VDDに接続されるので、バックゲートの電圧もVDDである。

40

【 0 0 6 7 】

サンプルホールド容量Cshに接続されているドレインの電圧は、クランプ電圧VCLから、光電変換部PDに蓄積された信号電荷に対応する電圧VPIXだけ上がったVCL + VPIXである。したがって、信号保持期間には、サンプルホールドトランジスタMshのゲート・ドレイン間、バックゲート・ドレイン間に電位差VDD - (VCL + VPIX)が生じる。この電位差がより大きいと、ゲートやバックゲートからドレインに電荷がより多くリークする。

【 0 0 6 8 】

なお、図12では、サンプルホールドトランジスタMshについて説明したが、ドレインがサンプルホールド容量Cshに接続されているクランプトランジスタMclについても同様で、

50

信号保持期間にはゲート・ドレイン間、バックゲート・ドレイン間に電位差 $VDD - (VCL + VPIX)$ が生じる。

【0069】

本実施形態でも、第1の実施形態と同様に、電荷のリークを小さくするためにサンプルホールドトランジスタMshのゲート・ドレイン間、バックゲート・ドレイン間の電位差 $VDD - (VCL + VPIX)$ を小さくすると、出力レンジ $VMAX - VCL$ が狭くなる。しかし、第1の実施形態では、クランプ電圧 VCL を小さくすることで電荷のリークと出力レンジが小さくなったが、本実施形態では、クランプ電圧を大きくすることで電荷のリークと出力レンジが小さくなるという点が異なる。

【0070】

固体撮像装置2外部の固体撮像装置駆動部3から固体撮像装置2に送られるゲイン制御信号の制御系統は、第1の実施形態で示した図7と同様であるので、説明を省略する。

【0071】

図13は、PMOSトランジスタを用いた場合のクランプ電圧・ゲイン制御部27のISO感度設定ごとの制御を示す。低ISO感度設定時には、ゲイン制御部27-2は信号増幅回路24-1のゲインを低く設定し、画素部22から出力される画素信号の出力レンジを広く設定する。出力レンジを広く設定するときには、クランプ電圧制御部27-1はクランプ電圧 VCL を低く設定する。クランプ電圧 VCL を低く設定することで、画素の出力レンジ $VMAX - VCL$ が広がる。

【0072】

高ISO感度設定時には、ゲイン制御部27-2は信号増幅回路24-1のゲインを高く設定し、画素部22から出力される画素信号の出力レンジを狭く設定する。出力レンジを狭く設定するときには、クランプ電圧制御部27-1はクランプ電圧 VCL を高く設定する。クランプ電圧 VCL を高く設定することで、画素の出力レンジ $VMAX - VCL$ は狭くなるが、信号増幅回路24-1で高いゲインをかけるので、出力端子26から出力される信号のレンジは広がる。また、信号保持期間中のサンプルホールドトランジスタMsh(クランプトランジスタMc1)のゲート・ドレイン間、バックゲート・ドレイン間の電位差 $VDD - (VCL + VPIX)$ を低くし、リークを抑圧することができる。画素ごとのリークを抑圧することで、画像に発生するリークのばらつきを抑圧することができる。

【0073】

このように、PMOSトランジスタで画素を構成する固体撮像装置を用いた場合には、クランプ電圧を、低ゲイン設定時には低く、高ゲイン設定時には高く設定することで、第1の実施形態と同様の効果(信号保持期間中の電荷のリークのばらつきに起因する画質の劣化の抑圧)を得ることができる。

【0074】

(第3の実施形態)

次に、本発明の第3の実施形態を説明する。図13は、本実施形態における固体撮像装置2の断面構造を示している。固体撮像装置2は、画素23を構成する回路要素(光電変換部や、トランジスタ、容量等)が配置された2枚の基板(第1の基板201、第2の基板202)が重なった構造を有する。画素23を構成する回路要素は第1の基板201と第2の基板202に分配して配置されている。第1の基板201と第2の基板202は、画素23の駆動時に2枚の基板間で電気信号を授受可能なように電氣的に接続されている。

【0075】

第1の基板201の2つの主面(側面よりも相対的に表面積が大きい表面)のうち、光Lが照射される側の主面側に光電変換部が形成されており、第1の基板201に照射された光は光電変換部に入射する。第1の基板201の2つの主面のうち、光Lが照射される側の主面とは反対側の主面には、第2の基板202とを接続するための接続部203が配置されている。

【0076】

画素23以外の垂直走査回路21、カラム処理部24、水平走査回路25に関しては、それぞれ第1の基板201と第2の基板202のどちらに配置されていてもよい。また、垂直走査回路21、カラム処理部24、水平走査回路25のそれぞれを構成する回路要素が第1の基板201と第2の

10

20

30

40

50

基板202に分散して配置されていてもよい。

【0077】

図15は画素23の回路構成を示している。図15には、第1の基板201内の画素23の回路構成と、第2の基板202内の画素23の回路構成とが示されている。これら両者は接続部203によって画素単位で電氣的に接続されている。

【0078】

第1の基板201側の画素23は、光電変換部PDと、転送トランジスタMtxと、第1の増幅トランジスタMa1と、第1の電流源IDD1と、リセットトランジスタMrstとで構成されている。光電変換部PDと、転送トランジスタMtx（転送部）と、第1の増幅トランジスタMa1と、第1の電流源IDD1と、リセットトランジスタMrstの詳細については第1の実施形態と同様であるので説明を省略する。

10

【0079】

第2の基板202側の画素23は、クランプトランジスタMcl（クランプ部）と、クランプ容量Cclと、サンプルホールド容量Csh（信号蓄積部）と、サンプルホールドトランジスタMshと、第2の増幅トランジスタMa2（出力部）と、選択トランジスタMsel（選択部）とで構成されている。クランプトランジスタMclと、クランプ容量Cclと、サンプルホールド容量Cshと、サンプルホールドトランジスタMshと、第2の増幅トランジスタMa2と、選択トランジスタMselの詳細については第1の実施形態と同様であるので説明を省略する。

【0080】

第1の基板201に配置された第1の増幅トランジスタMa1のソースと、第2の基板202に配置されたクランプ容量Cclとは、接続部203を介して接続されている。第1の基板201側の光電変換部PDで得られた画素信号は、接続部203を介して、サンプルホールド容量Cshに転送される。

20

【0081】

このように、第1の基板201の光が照射される側の主面側に光電変換部を形成し、第2の基板202に信号蓄積部を形成することで、光電変換部の受光面積を確保し、受光感度を向上することが可能となる。このため、受光感度を向上した本実施形態において、第1の実施形態と同様の効果（信号保持期間中の電荷のリークのばらつきに起因する画質の劣化の抑圧）を得ることができる。また、画素を構成する回路要素が、互いに重ねられた2枚の基板に分散して配置されるので、チップ面積の増大を抑制することができる。

30

【0082】

（第4の実施形態）

次に、本発明の第4の実施形態を説明する。本実施形態による撮像装置の構成は、画素部22を除いて、第1の実施形態による撮像装置の構成と同様である。第4の実施形態における画素では、第1の実施形態で示した画素よりもトランジスタと容量の数が少ない。

【0083】

図16は、本実施形態における画素23の回路構成を示している。図16に示される各トランジスタは全て、第1の実施形態と同様に、NMOSトランジスタを示している。画素23は、光電変換部PDと、転送トランジスタMtx（転送部）と、クランプトランジスタMcl（クランプ部）と、サンプルホールド容量Csh（信号蓄積部）と、第2の増幅トランジスタMa2（出力部）と、選択トランジスタMsel（選択部）とで構成されている。図16に示す画素23の構成は、第1の実施形態で示した画素23（図3）の構成から第1の増幅トランジスタMa1と、第1の電流源IDD1と、リセットトランジスタMrstと、クランプ容量Cclと、サンプルホールドトランジスタMshとを除いた構成である。

40

【0084】

光電変換部PDは、入射した光を光電変換して発生した信号電荷を蓄える。転送トランジスタMtxは、垂直走査回路21からの制御信号 TXに基づいて、光電変換部で蓄積された信号電荷を光電変換部PDからサンプルホールド容量Cshに転送する。クランプトランジスタMclは、垂直走査回路21からの制御信号 CLに基づいて、サンプルホールド容量Cshをクランプ電圧VCLでクランプ（リセット）する。

50

【 0 0 8 5 】

サンプルホールド容量Cshは、光電変換部PDから転送された信号電荷を保持する。第2の増幅トランジスタMa2は、サンプルホールド容量Cshに保持された信号電荷に応じた画素信号をソースから出力する。第2の増幅トランジスタMa2と、画素23の外部の垂直信号線VTLに接続された第2の電流源IDD2はソースフォロア回路を構成する。選択トランジスタMselは、垂直走査回路21からの制御信号 SELに基づいて、第2の増幅トランジスタMa2から出力された画素信号を垂直信号線VTLに読み出す。

【 0 0 8 6 】

図17は固体撮像装置2の動作を示している。最初に、全画素の制御信号 TX, CLが同時にHレベルとなることで、転送トランジスタMtxとクランプトランジスタMclがオン状態となる。これによって、全画素の光電変換部PDの信号電荷がリセットされる。続いて、全画素の制御信号 TX, CLが同時にLレベルとなることで、転送トランジスタMtxとクランプトランジスタMclがオフ状態となる。これによって、全画素の光電変換部PDにおける信号電荷の蓄積が開始される。

10

【 0 0 8 7 】

信号電荷の蓄積の開始から一定期間が経過した後（任意の露光時間が経過した後）に、全画素の制御信号 CLがHレベル、Lレベルとパルス状に変化することで、クランプトランジスタMclがオン状態、オフ状態と変化する。これによって、全画素のサンプルホールド容量Cshがクランプ電圧VCLにクランプされる。さらに、全画素の制御信号 TXがHレベル、Lレベルとパルス状に変化することで、転送トランジスタMtxがオン状態、オフ状態と変化する。これによって、全画素の光電変換部PDに蓄積された信号電荷がサンプルホールド容量Cshに転送され、保持される。

20

【 0 0 8 8 】

続いて、以下のようにして画素信号の読み出しが行われる。画素信号を読み出す対象の行の制御信号 SELがHレベルとなることで、選択トランジスタMselがオン状態となる。これによって、サンプルホールド容量Cshに保持された信号に基づく画素信号が選択トランジスタMselを介して垂直信号線VTLに読み出される。さらに、画素信号を読み出す対象の行の制御信号 CLがHレベル、Lレベルと順に変化することで、クランプトランジスタMclがオン状態、オフ状態と変化する。これによって、サンプルホールド容量Cshのクランプ信号（クランプ電圧VCL）に基づく画素信号が選択トランジスタMselを介して垂直信号線VTLに読み出される。

30

【 0 0 8 9 】

上記のようにして垂直信号線VTLに読み出された2つの信号の差分をカラム処理部24でとることでノイズの除去が行われる。そして、画素信号を読み出す対象の行の制御信号 CL, SELがLレベルになることで、クランプトランジスタMclと選択トランジスタMselがオフ状態となり、画素信号の読み出しが完了する。この動作を1行ずつ順次行うことで、全ての画素の画素信号が読み出される。上記の動作では、全画素の光電変換部PDに蓄積された信号電荷が一括して転送されるので、信号電荷の蓄積の同時性を実現することができる。

40

【 0 0 9 0 】

図18は、サンプルホールド容量Cshがクランプされてから、サンプルホールド容量Cshに保持された信号に基づく画素信号が読み出されるまでの信号保持期間のサンプルホールド容量Cshにかかる電圧（図16の信号線Dの電圧）を示している。図18中の時刻T1～T4は図17中の時刻T1～T4に対応している。時刻T1に制御信号 CLがHレベルとなることで、サンプルホールド容量Cshにかかる電圧はクランプ電圧VCLになる。

【 0 0 9 1 】

その後、制御信号 CLがLレベルとなり、時刻T2に制御信号 TXがHレベルとなることで、サンプルホールド容量Cshにかかる電圧は、クランプ電圧VCLから、光電変換部PDに蓄積された信号電荷に対応する電圧VPIXだけ下がる。そして、時刻T3に制御信号 TXがLレベルとなることで転送トランジスタMtxがオフ状態となって信号保持期間に入る。その後、

50

時刻T4に再度制御信号 CLがHレベルとなることで、サンプルホールド容量Cshにかかる電圧はクランプ電圧VCLとなり、信号保持期間が終了する。

【0092】

本実施形態でも、第1の実施形態と同様に、クランプ電圧VCLを小さくすることで出力レンジVCL - VMINが狭くなってしまうが、転送トランジスタMtxのバックゲート・ドレイン間またはクランプトランジスタMc1のバックゲート・ドレイン間の電位差VCL - VPIXを小さくできるので、電荷のリークと出力レンジを小さくすることができる。

【0093】

このように、図16に示すような簡単な構成の画素を有する固体撮像装置においても、クランプ電圧を制御することで、信号保持期間中の電荷のリークのばらつきに起因する画質の劣化を抑圧することができる。本実施形態では、画素を構成する回路内のトランジスタにNMOSトランジスタを用いたが、PMOSトランジスタを用いても、本実施形態と同様の効果を得ることができる。

10

【0094】

以上、図面を参照して本発明の実施形態について詳述してきたが、具体的な構成は上記の実施形態に限られるものではなく、本発明の要旨を逸脱しない範囲の設計変更等も含まれる。

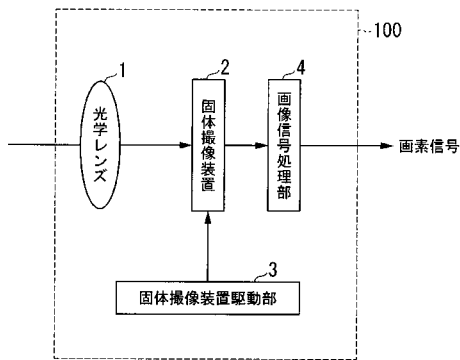
【符号の説明】

【0095】

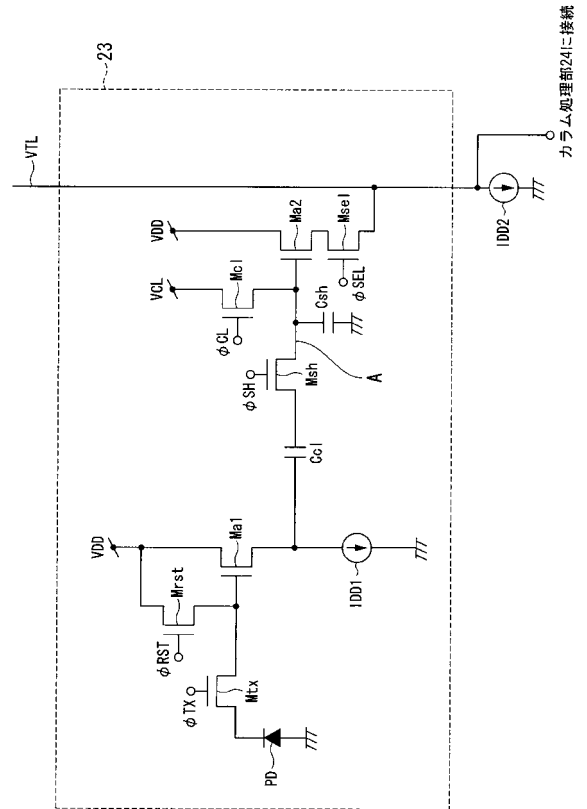
1・・・光学レンズ、2・・・固体撮像装置、3・・・固体撮像装置駆動部、4・・・画像信号処理部、21・・・垂直走査回路、22・・・画素部、23・・・画素、24・・・カラム処理部、24-1・・・信号増幅回路、25・・・水平走査回路、26・・・出力端子、27・・・クランプ電圧・ゲイン制御部、27-1・・・クランプ電圧制御部、27-2・・・ゲイン制御部、201・・・第1の基板、202・・・第2の基板、203・・・接続部

20

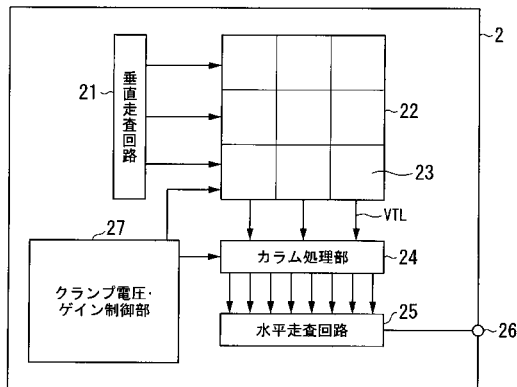
【図1】



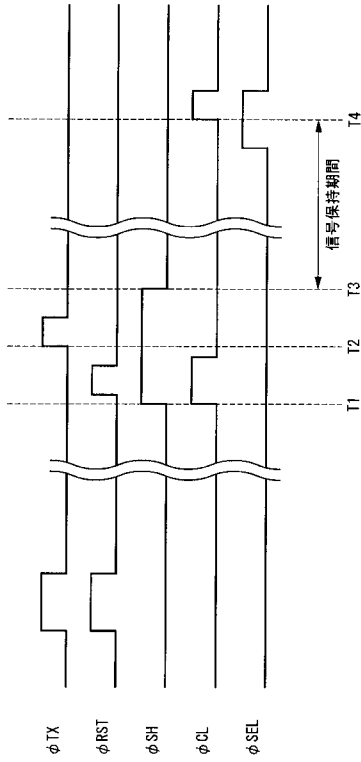
【図3】



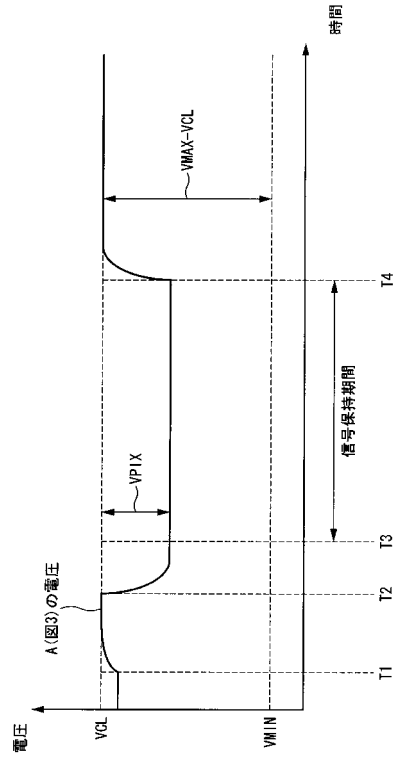
【図2】



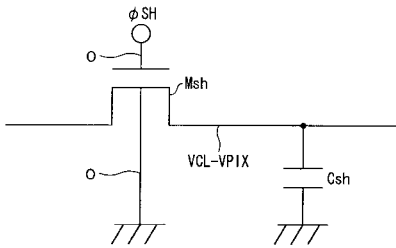
【図4】



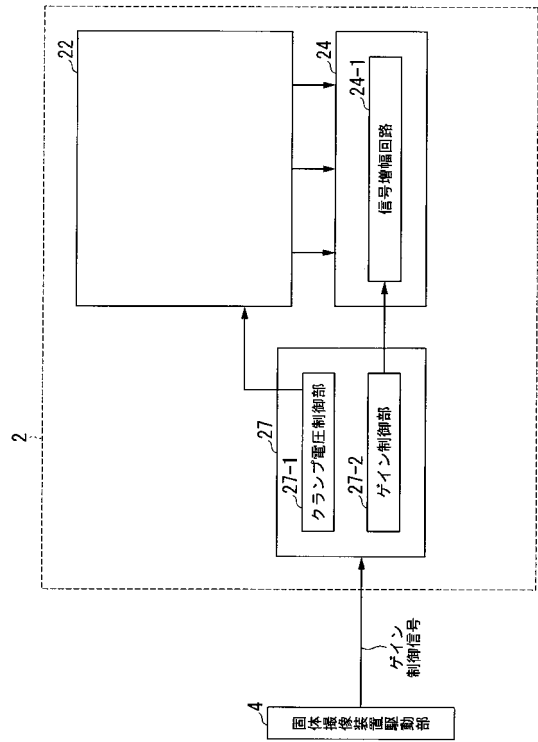
【図5】



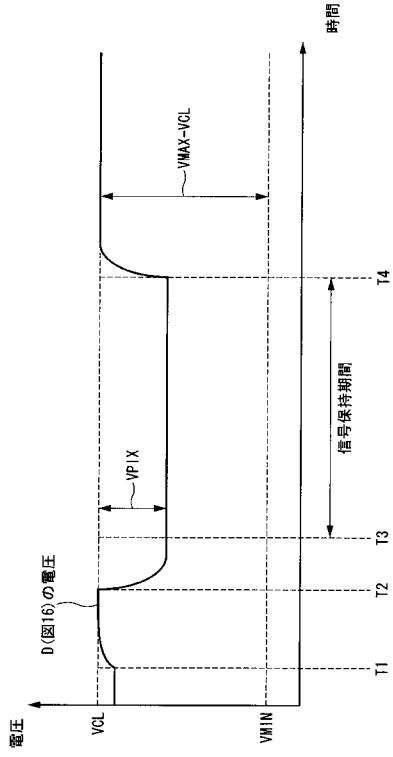
【図6】



【図7】



【 図 1 8 】



フロントページの続き

(74)代理人 100161702

弁理士 橋本 宏之

(72)発明者 小林 賢司

東京都渋谷区幡ヶ谷 2 丁目 4 3 番 2 号 オリンパス株式会社内

Fターム(参考) 5C024 CX32 EX03 GX02 GX16 GX18 GX24 GY31 GY39 GY41 HX09
HX10 HX17