

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-232198

(P2014-232198A)

(43) 公開日 平成26年12月11日(2014.12.11)

(51) Int.Cl.	F I	テーマコード (参考)
G 1 0 L 19/00 (2013.01)	G 1 0 L 19/00 3 1 2 E	5 D 0 4 4
G 1 1 B 20/10 (2006.01)	G 1 1 B 20/10 3 2 1 Z	
	G 1 0 L 19/00 2 2 0 C	

審査請求 未請求 請求項の数 2 O L (全 8 頁)

(21) 出願番号 特願2013-112801 (P2013-112801)
 (22) 出願日 平成25年5月29日 (2013.5.29)

(71) 出願人 000003676
 ティアック株式会社
 東京都多摩市落合一丁目47番地
 (74) 代理人 110001210
 特許業務法人Y K I 国際特許事務所
 (72) 発明者 宮本 貴史
 東京都多摩市落合一丁目47番地 ティアック株式会社内
 Fターム(参考) 5D044 FG23

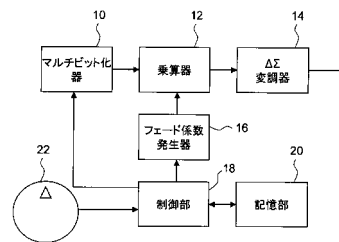
(54) 【発明の名称】サーチ機能を備えるデジタル信号処理装置

(57) 【要約】

【課題】1ビットデジタル信号であっても所望の位置を容易にかつ確実にサーチし得る装置を提供する。

【解決手段】デジタル信号処理装置の制御部18は、ジョグダイヤル22で指定された位置から所定時間の1ビットデジタル信号を記憶部20から抽出して繰り返しマルチビット化器10に出力する。マルチビット化器10は1ビットデジタル信号をマルチビットに変換し、乗算器12でフェードイン及びフェードアウト処理して変調器14で再び1ビットデジタル信号に再変換して出力する。

【選択図】図1



【特許請求の範囲】**【請求項 1】**

1 ビットデジタル信号を記憶する記憶手段と、
ユーザが回動操作可能なジョグダイヤルと、
前記ジョグダイヤルの回動操作により指定される位置を基準として所定時間分の前記 1
ビットデジタル信号を前記記憶手段から抽出する制御手段と、
抽出された前記 1 ビットデジタル信号をマルチビット信号に変換する変換手段と、
マルチビット化された信号の始めと終わりにフェード係数を乗じてフェードイン処理と
フェードアウト処理を行う乗算手段と、
前記乗算手段からのマルチビット信号を 1 ビットデジタル信号に再変換して出力する
変調手段と、
を備え、前記制御手段は、抽出した前記所定時間分の前記 1 ビットデジタル信号を所定
間隔で繰り返し前記変換手段に出力する
ことを特徴とするサーチ機能を備えるデジタル信号処理装置。

10

【請求項 2】

請求項 1 記載の装置において、
前記所定時間と前記所定間隔は、それぞれ 70 msec と 20 msec であることを特
徴とするサーチ機能を備えるデジタル信号処理装置。

【発明の詳細な説明】**【技術分野】**

20

【0001】

本発明はデジタル信号処理装置、特にサーチ機能を備えるデジタル信号処理装置に関す
る。

【背景技術】**【0002】**

マルチビット PCM 録音装置等のデジタル信号処理装置では、曲中の位置を正確にサー
チするためにジョグ (JOG) ダイヤルが用いられる場合がある。ジョグダイヤルを操作
することで、曲中の任意の位置を例えば 100 msec ほど繰り返して再生しつつ、ジョ
グダイヤルを操作して曲の位置を移動し、所望の位置を探索することができる。

【0003】

30

他方、1 ビットデジタル信号の場合には、曲中の位置をサーチするためには通常モード
で再生しつつ、所望の位置をサーチするしか方法がないのが現状であり、正確に所望の位
置をサーチすることが困難である。

【0004】

下記の特許文献には、1 ビットデジタル信号に対して振幅方向の信号処理を施すために
、1 ビット信号を 16 ビットのマルチビットのデジタル信号に変換し、フェード処理した
後に、再び 変調を行うことが開示されている。

【先行技術文献】**【特許文献】****【0005】**

40

【特許文献 1】特許第 3334413 号

【発明の概要】**【発明が解決しようとする課題】****【0006】**

しかしながら、上記従来技術には、1 ビットデジタル信号に対する振幅方向の信号処理
を施すことが開示されているのみであり、1 ビットデジタル信号のサーチに関しては何ら
開示されておらず、依然として 1 ビットデジタル信号を通常モードで再生してサーチする
しかない。

【0007】

仮に、ジョグダイヤルで 1 ビットデジタル信号の任意の位置を指定し、100 msec

50

ほど繰り返して再生することでサーチを行おうとしても、繰り返しの繋ぎ目においてスパイクノイズが生じてしまい、このスパイクノイズが耳障りとなってサーチを確実に行うことが困難となる。

【0008】

本発明の目的は、1ビットデジタル信号であっても所望の位置を容易にかつ確実にサーチし得る装置を提供することにある。

【課題を解決するための手段】

【0009】

本発明は、1ビットデジタル信号を記憶する記憶手段と、ユーザが回動操作可能なジョグダイヤルと、前記ジョグダイヤルの回動操作により指定される位置を基準として所定時間分の前記1ビットデジタル信号を前記記憶手段から抽出する制御手段と、抽出された前記1ビットデジタル信号をマルチビット信号に変換する変換手段と、マルチビット化された信号の始めと終わりにフェード係数を乗じてフェードイン処理とフェードアウト処理を行う乗算手段と、前記乗算手段からのマルチビット信号を1ビットデジタル信号に再変換して出力する変調手段とを備え、前記制御手段は、抽出した前記所定時間分の前記1ビットデジタル信号を所定間隔で繰り返し前記変換手段に出力することを特徴とする。

10

【0010】

本発明では、ジョグダイヤルで指定される位置を基準として所定時間分の1ビットデジタル信号をマルチビット化した上でフェードイン処理及びフェードアウト処理を実行するので、フェードイン処理及びフェードアウト処理が容易に実行できるとともに、所定時間分の信号を繰り返し再生する際に生じるノイズも抑制される。

20

【0011】

本発明の1つの実施形態では、前記所定時間と前記所定間隔は、それぞれ70msと20msに設定される。所定時間分の信号を所定間隔で繰り返し再生出力する場合、所定時間と所定間隔の比率は、ユーザのサーチ操作に大きな影響を及ぼす。所定時間を70ms、所定間隔を20msとすることで、ユーザは、曲の位置を容易に識別し得る。

【発明の効果】

【0012】

本発明によれば、ユーザは1ビットデジタル信号であっても所望の位置を容易にかつ確実にサーチすることができる。

30

【図面の簡単な説明】

【0013】

【図1】実施形態の構成ブロック図である。

【図2】繰り返し再生の説明図である。

【図3】実施形態のフェード処理後の信号波形説明図である。

【図4】実施形態の再生時間と無音時間の比率を示す説明図である。

【図5】他の実施形態の構成ブロック図である。

【発明を実施するための形態】

【0014】

40

以下、図面に基づき本発明の実施形態について説明する。

【0015】

図1に、本実施形態に係るデジタル信号処理装置の構成ブロック図を示す。本実施形態のデジタル信号処理装置は、具体的には入力音声信号を1ビットデジタル信号として録音する2チャンネルデジタルオーディオレコーダ等であるが、マルチビットPCMレコーダではなく1ビットのデジタル信号を録音する機器であればこれに限定されない。

【0016】

デジタル信号処理装置は、マルチビット化器10と、乗算器12と、(デルタシグマ)変調器14と、フェード係数発生器16と、制御部18と、記憶部20と、ジョグ(JOG)ダイヤル22を備える。なお、これ以外にも、各種操作キー、表示部、デジタル

50

アンプ、ドライバ、スピーカ、入力端子及び出力端子を備える。

【0017】

本実施形態の特徴の一つは、1ビットデジタル信号の録音再生を行いつつ、ジョグダイヤル22を備え、このジョグダイヤル22を用いて曲の所望の位置をサーチできる点にある。

【0018】

制御部18は、マイクロプロセッサで構成され、装置全体を統括的に制御するとともに、コマンドキー等でサーチ機能が指示された場合に、記憶部20に記憶されたDSD(Direct Streaming Digital)信号あるいは1ビットデジタル信号(1ビットデジタルオーディオ信号)を読み出してマルチビット化器10に供給する。マルチビット化器10に供給すべき1ビットデジタル信号は、記憶部20に記憶された特定の曲を構成する1ビットデジタル信号のうち、ジョグダイヤル22で指定された位置を含む所定期間のデジタルデータである。

10

【0019】

マルチビット化器10は、入力された1ビットデジタル信号を例えば32ビット等にマルチビット化して乗算器12に出力する。マルチビット化器10は、1ビットデジタル信号をマルチビットに変換する公知の間引きフィルタあるいはデシメーションフィルタで構成される。デシメーションフィルタでは、信号の帯域を制限して元の信号のサンプリング周波数を下げるダウンサンプリングを行う。

【0020】

乗算器12は、マルチビット化器10から出力されたマルチビットのデジタル信号に係数を乗じてフェードイン及びフェードアウトを実行する。乗算器12でマルチビットのデジタル信号に乘じるべき係数は、フェード係数発生器16から供給される。

20

【0021】

フェード係数発生器16は、制御部18からの制御信号に応じて、係数を発生して乗算器12に出力する。具体的には、0から徐々に大きくなる係数を発生することでデジタル信号のレベルが順次増大するフェードインを実行し、徐々に小さくなる係数を発生することでデジタル信号のレベルが順次減少して0に至るフェードアウトを実行する。フェードインの時間及びフェードアウトの時間は、制御部18により設定される。

【0022】

(デルタシグマ)変調器14は、加算器と、積分器と、比較器と、遅延器と、帰還回路を備える。変調は公知であり、加算器からの信号を積分器で積分し、積分された値の正負を比較器で判定し、正のときは「1」、負のときは「0」(あるいは「-1」)を出力する。出力後、遅延器で1サンプルだけ遅延させて加算器に負帰還する。以上の変調処理を同期クロックに合わせて行う。

30

【0023】

記憶部20は、例えば半導体メモリで構成され、曲データを1ビットデジタル信号として記憶する。

【0024】

ジョグ(JOG)ダイヤル22は、デジタル信号処理装置の所定位置、例えばフロントパネルに設けられ、ユーザにより回動操作可能である。ユーザは、このジョグダイヤル22を回動操作することで、曲の中の所望の位置をサーチすることができる。なお、ジョグダイヤル22は、デジタル信号処理装置にワイヤードあるいはワイヤレスで接続されるリモコン装置に設けてもよい。この場合、リモコン装置もデジタル信号処理装置の一部とされるのは言うまでもない。

40

【0025】

以下、本実施形態のサーチ処理について、より詳細に説明する。なお、サーチの前提として、1つあるいは複数の曲の音声信号が1ビットデジタル信号として記憶部20に記憶されているものとする。

【0026】

50

ユーザが、特定の曲の所望位置をサーチするためにジョグダイヤル 2 2 を回動操作すると、その操作信号が制御部 1 8 に供給される。

【 0 0 2 7 】

制御部 1 8 は、ジョグダイヤル 2 2 の回動操作により指定される位置を始点とし、所定時間、例えば 7 0 m s e c の曲データを記憶部 2 0 から抽出し、バッファメモリに格納する。そして、バッファメモリに格納した所定時間の曲データの 1 ビットデジタル信号をマルチビット化器 1 0 に所定間隔で繰り返し出力する。

【 0 0 2 8 】

デシネーションフィルタ等のマルチビット化器 1 0 は、繰り返し入力される曲データの 1 ビットのデジタル信号を、マルチビット、例えば 3 2 ビットのマルチビットに変換して乗算器 1 2 に出力する。なお、マルチビットへの変換は、間引き、加算平均、あるいはローパスフィルタによる変換ということもできる。

10

【 0 0 2 9 】

乗算器 1 2 は、マルチビット化されたデジタル信号に対して、その曲データの始めに係数を順次乗算してレベルを 0 から順次増大させるフェードイン処理を実行し、かつ、その曲データの終わりに係数を順次乗算してレベルを 0 まで順次減少させるフェードアウト処理を実行する。すなわち、曲の始めに対して、0 から順次増大する係数系列を乗じてフェードインを実行し、曲の終わりに対して、上記の係数系列の発生順序を逆にして順次減少して 0 に至るような係数系列を乗じてフェードアウトを実行する。フェードインの期間、及びフェードアウトの期間はいずれも固定であり、例えばそれぞれ 5 m s e c に設定される。制御部 1 8 により抽出される信号は 7 0 m s e c であり、7 0 m s e c の最初の 5 m s e c がフェードイン期間、7 0 m s e c の終わりの 5 m s e c がフェードアウト期間である。1 ビットデジタル信号に直接係数を乗算してフェードイン処理あるいはフェードアウト処理を実行することは困難であるが、例えば 3 2 ビット等のマルチビットのデジタル信号に対して係数を乗算してフェードイン処理あるいはフェードアウト処理を行う技術は公知である。

20

【 0 0 3 0 】

変調器 1 4 は、フェードイン処理及びフェードアウト処理が施されたマルチビットのデジタル信号を変調し、再び 1 ビットのデジタル信号に変換して出力する。1 ビットのデジタル信号は、図示しないデジタルアンプ及びドライバを経てスピーカから出力される。

30

【 0 0 3 1 】

図 2 に、本実施形態における曲データの一部の繰り返し再生の様子を示す。曲データ 1 0 0 のうち、ジョグダイヤル 2 2 で指定される位置を始点 P として、ここから所定時間、例えば 1 0 0 m s e c (任意設定可能) の間に存在する曲データ 1 0 2 を抽出する。抽出された曲データ 1 0 2 は制御部 1 8 のバッファメモリに格納され、繰り返し読み出されてマルチビット化器 1 0、乗算器 1 2、変調器 1 4 で処理されてスピーカから出力される。従って、スピーカからは同じ曲データが繰り返し再生出力され、「バツバツバツ」なる繰り返し音出力される。ユーザは、この繰り返し音を視聴することで、曲データのどの部分が再生されているかを認識できる。

40

【 0 0 3 2 】

ユーザがジョグダイヤル 2 2 を回動操作すると、ジョグダイヤル 2 2 で指定される位置が移動し、このため始点 P も移動して曲データ 1 0 2 も変化する。変化後の曲データは同様に制御部 1 8 のバッファメモリに格納され、繰り返し読み出されてマルチビット化器 1 0、乗算器 1 2、変調器 1 4 で処理されてスピーカから出力される。ユーザは、この繰り返し音を視聴することで、曲データのどの部分が再生されているかを認識できる。

【 0 0 3 3 】

以上のようなジョグダイヤル 2 2 の回動操作及び繰り返し音の視聴を必要な回数だけ繰り返すことで、ユーザは曲データのうちの所望の位置をジョグダイヤル 2 2 で容易かつ確実にサーチすることができる。

50

【 0 0 3 4 】

ここで、ジョグダイヤル 2 2 で指定された始点から所定時間の曲データを記憶部 2 0 から読み出してそのまま繰り返し再生出力したのでは、図 3 (a) に示すように信号のレベルを 0 と 1 のパルス密度で表現する 1 ビットデジタル信号の性質上、曲データの始めと終わりにパルス密度が急峻に変化してしまうためスパイクノイズ 2 0 0 が生じてしまう。このスパイクノイズ 2 0 0 は、「パスッ」という音としてユーザに視聴されることとなり、ユーザは繰り返し音の間に生じるこのような「パスッ」というノイズが気になって所望の位置をサーチすることが困難となる。

【 0 0 3 5 】

これに対し、本実施形態のように、曲データの始めにフェードイン処理を行うとともに曲データの終わりにフェードアウト処理を行うことで、図 3 (b) に示すようにスパイクノイズの発生が抑制される。これにより、繰り返し音の間にノイズが生じることがなく、ユーザは繰り返し音のみに注意を集中して所望の位置をサーチできる。

10

【 0 0 3 6 】

本実施形態では、ジョグダイヤル 2 2 で指定した位置を始点として所定時間の曲データ 1 0 2 を繰り返し再生しているが、この繰り返しにおける曲データ 1 0 2 の再生時間と無音時間の組み合わせはそれぞれ所定の時間とすることが好適である。

【 0 0 3 7 】

すなわち、再生時間が短すぎると、ユーザは音の種類（楽器や声の判別）や音程を判断することが困難となる。例えば、母音が聞こえ難くなり、認識した音が「ブツブツ」音になってしまう。

20

【 0 0 3 8 】

他方、再生時間が長すぎると、音としては分かりやすくなるものの、脳が瞬時に覚える必要がある時間も長くなり、ジョグダイヤル 2 2 を動かした際に、動かす前の音を忘れてしまい、位置を認識するのが困難となる。無音時間が長すぎる場合も同様であり、前の音を忘れてしまうため、音が飛ぶように聞こえてしまう。

【 0 0 3 9 】

本願出願人は、上記の事実を考慮し、鋭意実験し検討した結果、再生時間として 7 0 m s e c、無音時間として 2 0 m s e c が最適の組み合わせであることを見出した。

【 0 0 4 0 】

図 4 に、本実施形態における繰り返し再生のタイミングチャートを示す。再生時間として 7 0 m s e c、無音時間として 2 0 m s e c として、曲データ 1 0 2 を繰り返し再生する。曲データ 1 0 2 の始めには 5 m s e c のフェードイン期間があり、曲データ 1 0 2 の終わりには 5 m s e c のフェードアウト期間がある。本実施形態では、再生時間と無音時間の比率を 7 0 m s e c と 2 0 m s e c にするのが好適であるとの知見の下、曲データ 1 0 2 をフェードイン処理及びフェードアウト処理した後においても、この 7 0 m s e c と 2 0 m s e c の比率がそのまま維持される。また、ユーザがジョグダイヤル 2 2 を回動操作して位置を移動しても、この 7 0 m s e c と 2 0 m s e c の比率はそのまま維持される。但し、ジョグダイヤル 2 2 を操作している時の再生音の聴こえ方には個人差があるため、この 7 0 m s e c と 2 0 m s e c の比率は、統計的に最適の組み合わせではあるが絶対的な比率ではないことを述べておく。つまり、± 数 m s e c の範囲における比率変化は許容範囲である。

30

40

【 0 0 4 1 】

以上のように、本実施形態によれば、1 ビットデジタル信号においてもジョグダイヤル 2 2 を用いて曲の所望の位置を容易かつ確実にサーチすることができる。また、細かいサーチを可能とするためには、ジョグダイヤル 2 2 の回動操作により移動するステップ幅を小さくすることが必要であるが、制御部 1 8 は、記憶部 2 0 に記憶された 1 ビットデジタル信号をある程度先読みしてバッファメモリに格納しておき、マルチビット化器 1 0 に出力するデータをその都度バッファメモリから読み出してもよい。

【 0 0 4 2 】

50

本実施形態では、1ビットデジタル信号をマルチビット化器10でマルチビット化し、乗算器12でフェードイン処理及びフェードアウト処理を実行した後に変調器14で変調して再び1ビットのデジタル信号に変換して出力しているが、変調器14の次数は任意でよく、次数を大きくすればS/N及び音質が向上する。

【0043】

また、本実施形態において、変調器14として3次以上の高次の変調器を用いると発振するおそれもあるが、この場合には図5に示すように、乗算器12と変調器14の間に発振を抑制するFIRフィルタ13を設けてもよい。

【0044】

また、本実施形態において、制御部18は、ジョグダイヤル22を用いたサーチ時に記憶部20に記憶された1ビットデジタル信号のうちの所定時間分の信号を抽出して繰り返しマルチビット化器10に出力しているが、通常の再生時には、記憶部20から読み出した1ビットデジタル信号をそのままデジタルアンプ及びドライバを経てスピーカから出力するのは言うまでもない。

10

【0045】

また、本実施形態では、制御部18は、ジョグダイヤル22の回動操作により指定された位置を始点とし、この指定から所定時間分の信号を抽出しているが、ジョグダイヤル22の回動操作により指定された位置を終点としてそれより所定時間分だけ前の信号を抽出する、あるいはジョグダイヤル22の回動操作により指定された位置を中心としてその前後の所定時間分の信号を抽出してもよい。要するに、ジョグダイヤル22の回動操作により指定される位置を基準として所定時間分の信号を記憶部20から抽出して繰り返し出力すればよい。

20

【0046】

さらに、本実施形態では、ジョグダイヤル22としてユーザが物理的に把持操作できるダイヤルを例示したが、タッチパネル上に表示され、ユーザがパネルをタッチすることで回動操作できるソフトウェアのダイヤルであってもよい。要するに、本発明のジョグダイヤルは、ハードウェアに限定されるものではなく、ソフトウェアで実現されるものであってもよい。

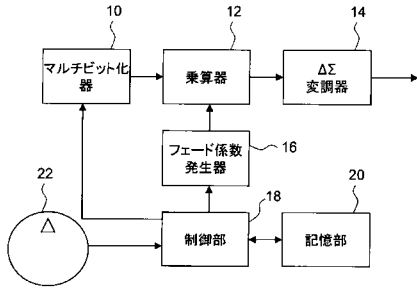
【符号の説明】

【0047】

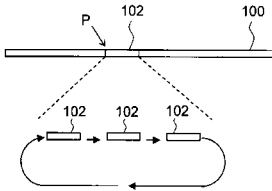
10 マルチビット化器、12 乗算器、14 変調器、16 フェード係数発生器、18 制御部、20 記憶部、22 ジョグ(JOG)ダイヤル。

30

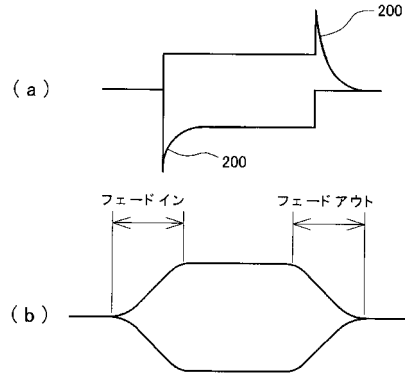
【 図 1 】



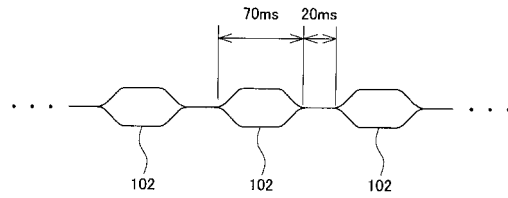
【 図 2 】



【 図 3 】



【 図 4 】



【 図 5 】

