

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2015-76722

(P2015-76722A)

(43) 公開日 平成27年4月20日(2015.4.20)

(51) Int.Cl.	F I	テーマコード (参考)
HO4N 5/347 (2011.01)	HO4N 5/335 470	4M118
HO4N 5/357 (2011.01)	HO4N 5/335 570	5C024
HO4N 5/374 (2011.01)	HO4N 5/335 740	
HO1L 27/146 (2006.01)	HO1L 27/14 E	

審査請求 未請求 請求項の数 9 O L (全 16 頁)

(21) 出願番号 特願2013-211654 (P2013-211654)
 (22) 出願日 平成25年10月9日 (2013.10.9)

(71) 出願人 306037311
 富士フイルム株式会社
 東京都港区西麻布2丁目26番30号
 (74) 代理人 100073184
 弁理士 柳田 征史
 (74) 代理人 100090468
 弁理士 佐久間 剛
 (72) 発明者 後藤 崇
 神奈川県足柄上郡開成町牛島577番地
 富士フイルム株式会社内
 Fターム(参考) 4M118 AB01 BA07 BA14 CA22 CA32
 CB05 CB14 CB20 DD04 DD12
 GB03 GB06 GB07 GC07
 5C024 AX01 BX01 CX17 CX41 GX02
 GX16 GX18 GY31 GZ24 HX01
 HX28 HX35 HX47 HX50 JX41

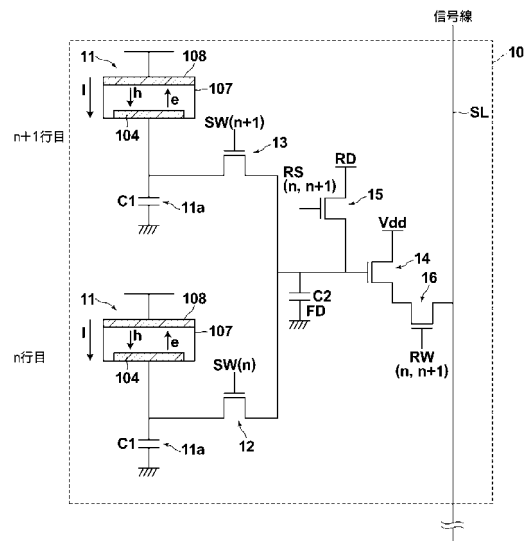
(54) 【発明の名称】 固体撮像素子および撮像装置

(57) 【要約】

【課題】リニアリティ不良および残像を発生することなく、複数の画素の信号電荷を加算して読み出すことが可能な固体撮像素子および撮像装置を提供する。

【解決手段】第一の蓄積部11aを有する複数の光電変換部11と、複数のスイッチ素子12, 13と、各第一の蓄積部11aの信号電荷が蓄積される第二の蓄積部FDと、第二の蓄積部FDに蓄積された信号電荷に応じた電圧信号を出力する出力回路14と、第一の蓄積部11aおよび第二の蓄積部FDをリセットするリセット回路15とを備えた複合画素部10において、画素加算読出しの際、複数のスイッチ素子12, 13をオンし、第二の蓄積部FDに加算されて蓄積された信号電荷が出力回路14から出力された後、第二の蓄積部FDをリセットし、その後の第二の蓄積部FDの電位に応じた信号が出力回路14から出力された後に複数のスイッチ素子12, 13をオフする。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

入射光の光量に応じた信号電荷を発生し、該発生した信号電荷が蓄積される第一の蓄積部を有する複数の光電変換部と、該複数の光電変換部のそれぞれに電氣的に接続された複数のスイッチ素子と、該複数のスイッチ素子に電氣的に接続され、前記各第一の蓄積部に蓄積された信号電荷が蓄積される第二の蓄積部と、該第二の蓄積部に蓄積された信号電荷に応じた電圧信号を出力する出力回路と、前記第一および第二の蓄積部をリセットするリセット回路とを含み、前記出力回路に入力ノードに対して、前記複数の光電変換部が前記各スイッチ素子を介して電氣的に接続され、かつ前記蓄積部と前記リセット回路とが電氣的に接続された複合画素部が二次元状に複数配列され、

10

前記各第一の蓄積部に蓄積された信号電荷を加算して読み出す画素加算読出しの際、前記複数のスイッチ素子がオンされ、前記第二の蓄積部に蓄積された前記加算された信号電荷に応じた電圧信号が前記出力回路から出力された後、前記複数のスイッチ素子がオンしている間に前記リセット回路によって前記第一および第二の蓄積部がリセットされ、該リセット後の前記第二の蓄積部の電位に応じた電圧信号が前記出力回路から出力された後に前記複数のスイッチ素子がオフされるものであることを特徴とする固体撮像素子。

【請求項 2】

前記複数のスイッチ素子がオンされ、前記加算された信号電荷に応じた電圧信号が出力される際、前記第一の蓄積部の電位と前記第二の蓄積部の電位とが同電位になるように前記複数のスイッチ素子の閾値電圧が調整されている請求項 1 記載の固体撮像素子。

20

【請求項 3】

前記各第一の蓄積部に蓄積された信号電荷を別々に読み出す単画素読出しの際には、前記各第一の蓄積部が属する行毎について、該行の前記スイッチ素子がオンされ、前記第二の蓄積部に蓄積された信号電荷に応じた電圧信号が前記出力回路から出力された後、前記スイッチ素子がオンしている間に前記リセット回路によって前記第一および第二の蓄積部がリセットされ、該リセット後の前記第二の蓄積部の電位に応じた電圧信号が前記出力回路から出力された後に前記スイッチ素子がオフされるものである請求項 1 記載の固体撮像素子。

【請求項 4】

前記光電変換部が、画素単位で区画された第 1 の電極と前記画素電極に対向して設けられた第 2 の電極とを備え、

30

前記第 2 の電極が、全ての前記光電変換部について共通の電極であることを特徴とする請求項 1 から 3 いずれか 1 項記載の固体撮像素子。

【請求項 5】

前記光電変換部が、有機光電変換膜を含むものであることを特徴とする請求項 1 から 4 いずれか 1 項記載の固体撮像素子。

【請求項 6】

前記有機光電変換膜が、全ての前記光電変換部について共通なものあることを特徴とする請求項 5 記載の固体撮像素子。

【請求項 7】

前記光電変換部からの信号電荷が正孔であることを特徴とする請求項 1 から 6 いずれか 1 項記載の固体撮像素子。

40

【請求項 8】

前記光電変換部からの信号電荷が電子であることを特徴とする請求項 1 から 6 いずれか 1 項記載の固体撮像素子。

【請求項 9】

請求項 1 から 8 いずれか 1 項記載の固体撮像素子を備えたことを特徴とする撮像装置。

【発明の詳細な説明】

【技術分野】

【0001】

50

本発明は、光の照射を受けて電荷を発生する光電変換部を備えた固体撮像素子およびその固体撮像素子を備えた撮像装置に関するものである。

【背景技術】

【0002】

従来、多数の光電変換素子（フォトダイオード）と各光電変換素子によって光電変換された信号電荷を読み出す読出し回路とを備えたCMOS型の固体撮像素子がデジタルカメラなどに用いられている。

【0003】

CMOS型の固体撮像素子の1つとして、入射光量が少ない場合に、画像信号のS/Nの向上を図るため、複数の光電変換素子によって光電変換された信号電荷を加算して読み出すものが提案されている。

10

【0004】

具体的には、たとえば、図7に示すように、2つのフォトダイオード201、202と、フォトダイオード201、202において光電変換された信号電荷をそれぞれ転送するための転送トランジスタ203、204と、転送トランジスタ203、204によって転送された信号電荷が加算されて蓄積されるFD（フローティングディフュージョン）と、FDに蓄積された信号電荷を電圧信号に変換して出力する出力トランジスタ205と、FDをリセットするリセットトランジスタ206と、出力トランジスタ205から出力された信号を信号線に選択的に出力する選択トランジスタ207とから構成された画素回路を備えた固体撮像素子が提案されている。

20

【0005】

図8は、図7に示す画素回路における各トランジスタのスイッチングのタイミングを示すタイミングチャートである。図8に示すように、まず、t1の時点において選択トランジスタ207がオンするとともに、リセットトランジスタ206がオンし、これによりFDがリセットされる。

【0006】

そして、リセットトランジスタ206がオフしてリセットが完了した後、t2の時点において、FDの電位がリセット信号として出力トランジスタ205から信号線に出力される。次に、t3の時点において転送トランジスタ203、204がオンし、これによりフォトダイオード201、202において光電変換されて蓄積された信号電荷がFDに対して転送され、加算されて蓄積される。

30

【0007】

次いで、t4の時点において、FDの蓄積信号が出力トランジスタ205から信号線に出力され、この蓄積信号から上述したリセット信号の差分を取得することによって画像信号が取得される。

【0008】

一方、近年、固体撮像素子の高感度化、画素微細化に対応するために、シリコン基板の上方に一对の電極とこれらで挟まれた光電変換層を含む光電変換部を設け、この光電変換層で発生した電荷を上記一对の電極の一方からシリコン基板に移動させて蓄積し、この蓄積電荷に応じた信号を、シリコン基板に形成した信号読出し回路で読み出す光電変換層積層型の固体撮像素子が注目されている。

40

【0009】

このような固体撮像素子として、たとえば、図9に示すように、光電変換部301と、光電変換部301において発生した電荷を蓄積するFD（フローティングディフュージョン）と、FDに蓄積された信号電荷を電圧信号に変換して出力する出力トランジスタ302と、FDをリセットするリセットトランジスタ303と、出力トランジスタ302から出力された信号を信号線に選択的に出力する選択トランジスタ304とから構成される画素回路を備えた固体撮像素子が提案されている。この固体撮像素子は、FDと光電変換部301との間にトランジスタが設けられていない、いわゆる3トランジスタの構成の回路であり、FDと光電変換部301とが電氣的に直接接続されたものである。

50

【先行技術文献】

【特許文献】

【0010】

【特許文献1】特開2005-286115号公報

【発明の概要】

【発明が解決しようとする課題】

【0011】

ここで、図9に示すような画素回路を備えた固体撮像素子においては、光電変換部301において発生した信号電荷を直接FDに蓄積するため、画素毎にFDを設ける必要がある。このため、図7に示した画素回路のように、画素毎の信号電荷を加算することができない。

10

【0012】

また、図7に示す画素回路のフォトダイオードを図9に示す画素回路の光電変換部301に単純に置き換えたとしても、光電変換部301を完全空乏化することができないため、光電変換部301からFDへの電荷の完全転送ができず、電荷の不完全転送によるリニアリティ不良を発生する。

【0013】

また、図7に示す画素回路のように、FDをリセットした後に、転送トランジスタ203, 204をオンしてFDへの電荷転送を行うシーケンスの場合、リセットの間、転送トランジスタ203, 204はオフした状態であるので、フォトダイオード201, 202の容量までリセットすることができず、上述したような不完全転送による残像が発生する。

20

【0014】

また、特許文献1においては、光電変換層積層型の固体撮像素子において、複数の画素の信号電荷を加算して読み出すことが開示されているが、特許文献1に記載の固体撮像素子においても、図7に示す画素回路と同様に、FDのリセットを行った後に、光電変換部からFDへの電荷転送を行っているため、電荷の不完全転送によるリニアリティ不足や残像の問題が発生する。

【0015】

本発明は、上記の事情に鑑み、上述したように入射光量が少ない場合に、複数の画素の信号電荷を加算して読み出す固体撮像素子において、リニアリティ不良を発生することなく、かつ残像の発生を抑制することができる固体撮像素子およびその固体撮像素子を備えた撮像装置を提供することを目的とする。

30

【課題を解決するための手段】

【0016】

本発明の固体撮像素子は、入射光の光量に応じた信号電荷を発生し、その発生した信号電荷が蓄積される第一の蓄積部を有する複数の光電変換部と、その複数の光電変換部のそれぞれに電氣的に接続された複数のスイッチ素子と、その複数のスイッチ素子に電氣的に接続され、各第一の蓄積部に蓄積された信号電荷が蓄積される第二の蓄積部と、その第二の蓄積部に蓄積された信号電荷に応じた電圧信号を出力する出力回路と、第一および第二の蓄積部をリセットするリセット回路とを含み、出力回路に入力ノードに対して、複数の光電変換部が各スイッチ素子を介して電氣的に接続され、かつ蓄積部とリセット回路とが電氣的に接続された複合画素部が二次元状に複数配列され、各第一の蓄積部に蓄積された信号電荷を加算して読み出す画素加算読出しの際、複数のスイッチ素子がオンされ、第二の蓄積部に蓄積された加算された信号電荷に応じた電圧信号が出力回路から出力された後、複数のスイッチ素子がオンしている間にリセット回路によって第一および第二の蓄積部がリセットされ、そのリセット後の第二の蓄積部の電位に応じた電圧信号が出力回路から出力された後に複数のスイッチ素子がオフされるものであることを特徴とする。

40

【0017】

また、上記本発明の固体撮像素子においては、複数のスイッチ素子がオンされ、加算さ

50

れた信号電荷に応じた電圧信号が出力される際、第一の蓄積部の電位と第二の蓄積部の電位とが同電位になるように複数のスイッチ素子の閾値電圧を調整することができる。

【0018】

また、各第一の蓄積部に蓄積された信号電荷を別々に読み出す単画素読出しの際には、各第一の蓄積部が属する行毎について、その行のスイッチ素子がオンされ、第二の蓄積部に蓄積された信号電荷に応じた電圧信号が出力回路から出力された後、スイッチ素子がオンしている間にリセット回路によって前記第一および第二の蓄積部がリセットされ、そのリセット後の第二の蓄積部の電位に応じた電圧信号が出力回路から出力された後にスイッチ素子がオフされるようにできる。

【0019】

また、光電変換部を、画素単位で区画された第1の電極と画素電極に対向して設けられた第2の電極とを備えたものとし、第2の電極を、全ての光電変換部について共通の電極とすることができる。

【0020】

また、光電変換部を、有機光電変換膜を含むものとできる。

【0021】

また、有機光電変換膜を、全ての光電変換部について共通なものとするすることができる。

【0022】

また、光電変換部からの信号電荷を正孔とすることができる。

【0023】

また、光電変換部からの信号電荷を電子とすることができる。

【0024】

また、複合画素部を構成するトランジスタをnチャンネルMOSトランジスタとすることができる。

【0025】

また、複合画素部を構成するトランジスタをpチャンネルMOSトランジスタとすることができる。

【0026】

本発明の撮像装置は、上記本発明の固体撮像素子を備えたことを特徴とするものである。

【発明の効果】

【0027】

本発明の固体撮像素子によれば、入射光の光量に応じた信号電荷を発生し、その発生した信号電荷が蓄積される第一の蓄積部を有する複数の光電変換部と、その複数の光電変換部のそれぞれに電氣的に接続された複数のスイッチ素子と、その複数のスイッチ素子に電氣的に接続され、各第一の蓄積部において発生した信号電荷が蓄積される第二の蓄積部と、その第二の蓄積部に蓄積された信号電荷に応じた電圧信号を出力する出力回路と、第1および第二の蓄積部をリセットするリセット回路とを含み、出力回路に入力ノードに対して、複数の光電変換部が各スイッチ素子を介して電氣的に接続され、かつ第二の蓄積部とリセット回路とが電氣的に接続された複合画素部において、画素加算読出しの際、まず、複数のスイッチ素子をオンすることによって、第一の蓄積部の電位と第二の蓄積部との電位とを同電位にして第二の蓄積部に信号電荷を蓄積するようにしたので、すなわち上述したような転送トランジスタによる電荷の転送は行っていないので、電荷の不完全転送によるリニアリティ不足が発生することはない。

【0028】

また、第二の蓄積部に蓄積された加算された信号電荷に応じた電圧信号が出力回路から出力された後、複数のスイッチ素子をオンしたままでリセット回路によって第一および第二の蓄積部をリセットし、そのリセット後の第二の蓄積部の電位に応じた電圧信号が出力回路から出力された後に複数のスイッチ素子をオフするようにしたので、光電変換部と第一および第二の蓄積部とを完全にリセットすることができ、上述したような電荷の不完全

10

20

30

40

50

転送およびリセット不良による残像が発生することがない。

【図面の簡単な説明】

【0029】

【図1】本発明の固体撮像素子の一実施形態を構成する複合画素部を示す図

【図2】本発明の固体撮像素子の一実施形態の断面模式図

【図3】図2に示す固体撮像素子の周辺回路を含む全体構成を示す図

【図4】複数の信号電荷を加算して読み出す場合における第1および第2のスイッチトランジスタに供給されるスイッチングパルス信号 $SW(n)$ 、 $SW(n+1)$ と、リセットトランジスタ15に供給されるリセットパルス信号 $RS(n, n+1)$ と、選択トランジスタ16に供給される選択パルス信号 $RW(n, n+1)$ の出力タイミングを示すタイミングチャート

10

【図5】複数の信号電荷を別々に読み出す場合における第1および第2のスイッチトランジスタに供給されるスイッチングパルス信号 $SW(n)$ 、 $SW(n+1)$ と、リセットトランジスタ15に供給されるリセットパルス信号 $RS(n, n+1)$ と、選択トランジスタ16に供給される選択パルス信号 $RW(n, n+1)$ の出力タイミングを示すタイミングチャート

【図6】図1に示す複合画素部において2つの信号電荷を加算して読み出した場合における画像信号の S/N と、信号電荷を加算せずに別々に読み出した場合における画像信号の S/N と、複数の信号電荷を加算しない回路構成によって信号電荷を読み出した場合における画像信号の S/N とを比較検討した結果を示す図

20

【図7】転送トランジスタによって電荷転送して加算する画素回路の構成を示す図

【図8】図7に示す画素回路の駆動方法を説明するための図

【図9】光電変換層積層型の固体撮像素子における画素回路の構成の一例を示す図

【発明を実施するための形態】

【0030】

以下、図面を参照して本発明の固体撮像素子の一実施形態について説明する。図1は、本実施形態の固体撮像素子を構成する画素部を示す図である。本実施形態の固体撮像素子は、図1に示す複合画素部10を2次元状に多数配列したものである。

【0031】

複合画素部10は、図1に示すように、2つの光電変換部11と、第1および第2のスイッチトランジスタ（スイッチ素子に相当する）12、13と、フローティングディフュージョンFD（第二の蓄積部に相当する）（以下、単にFDという）と、出力トランジスタ（出力回路に相当する）14と、リセットトランジスタ（リセット回路に相当する）15と、選択トランジスタ16とを備えている。第1および第2スイッチトランジスタ12、13、出力トランジスタ14、リセットトランジスタ15および選択トランジスタ16は、それぞれnチャンネルのMOSトランジスタで構成されている。

30

【0032】

光電変換部11は、画素単位で設けられるものであって、行方向および列方向に2次元状に配列されるものである。そして、複合画素部10には、列方向に隣接する2つの光電変換部11が含まれる。

40

【0033】

2つの光電変換部11には、それぞれ第1および第2のスイッチトランジスタ12、13の入力端子が接続されており、第1のスイッチトランジスタ12の出力端子と第2のスイッチトランジスタ13の出力端子とはFDに接続されている。

【0034】

第1のスイッチトランジスタ12と第2のスイッチトランジスタ13とがオンした際には、各光電変換部11の容量11aに蓄積された信号電荷が、それぞれ第1および第2のスイッチトランジスタ12、13を介して加算されてFDに蓄積される。なお、容量11a（第一の蓄積部に相当する）は、特に素子として設けられるものではなく、光電変換部11が有する容量を分かりやすく図示したものである。第1のスイッチトランジスタ12

50

および第2のスイッチトランジスタ13がオフの際には、各光電変換部11で発生した信号電荷はそれぞれの容量11aに蓄積される。

【0035】

第1および第2のスイッチトランジスタ12, 13の閾値電圧は、第1および第2のスイッチトランジスタ12, 13がオンして信号電荷がFDに蓄積された際、容量11aの電位とFDの電位とが同電位となるように調整されている。すなわち、第1および第2のスイッチトランジスタ12, 13は、図7に示す転送トランジスタ203, 204のように電荷転送を行うものではなく、上述したように容量11aとFDとを同電位にするためのものである。

【0036】

したがって、第1および第2のスイッチトランジスタ12, 13のゲート端子の電位が十分に深いポテンシャルまで下げられるように、第1および第2のスイッチトランジスタ12, 13のゲート端子に供給されるパルス信号の大きさは、たとえば電源電圧であるV_{dd}に設定される。また、第1および第2のスイッチトランジスタ12, 13の閾値は十分に小さい値に調整される。

【0037】

また、第1のスイッチトランジスタ12の出力端子と第2のスイッチトランジスタ13の出力端子は、出力トランジスタ14の入力ノードに電気的に接続されている。また、出力トランジスタ14の入力ノードには、FDとリセットトランジスタ15とが電気的に接続されている。

【0038】

光電変換部11は、画素電極104（第1の電極に相当する）と、画素電極104に対向して設けられた対向電極108（第2の電極に相当する）と、画素電極104と対向電極108との間に設けられた光電変換層107とを備えている。

【0039】

画素電極104は、画素毎に区分された薄膜電極であり、たとえばITO、アルミニウム、窒化チタン、銅、クロム、タングステン、タンタルなどのような透明または不透明な導電性材料から形成されるものである。画素電極104は、光電変換層107において発生した電荷を画素毎に捕集するものである。

【0040】

対向電極108は、画素電極104との間で光電変換層107に電圧を印加し、光電変換層107に電界を生じさせるための電極である。対向電極108は、光電変換層107よりも光の入射面側に設けられており、対向電極108を透過して光電変換層107に光を入射させる必要があるため、入射光に対して透明なITOなどの導電性材料から形成される。なお、本実施形態における対向電極108は、全ての画素で共通の1枚の電極から構成されるものであるが、画素毎に分割する構成としてもよい。

【0041】

光電変換層107は、入射光を吸収し、その吸収した光量に応じた電荷を発生する有機光電変換膜または無機光電変換膜を含むものである。なお、光電変換層107と対向電極108との間、または光電変換層107と画素電極104との間に、電極から光電変換層107へ電荷が注入されるのを抑制する電荷ブロッキング層などの機能層を設けるようにしてもよい。

【0042】

本実施形態においては、光電変換層107で発生した電荷のうち正孔が画素電極104に移動し、電子が対向電極108に移動するように、対向電極108に対してバイアス電圧が印加される。光電変換層107が十分に高い感度を発現するように、バイアス電圧としては、読出し回路の電源電圧V_{dd}（図1において出力トランジスタ14のドレインに供給されている電圧、たとえば3V）よりも高い電圧（5～20V程度、たとえば10V）を用いることが望ましい。

【0043】

10

20

30

40

50

また、本実施形態では、第1および第2のスイッチトランジスタ12, 13は、図7に示す転送トランジスタ203, 204のように電荷転送を行うものではなく、上述したように容量11aとFDとを同電位にするためのものであるため、読出し回路をnチャネルのMOSトランジスタで構成した場合にも、光電変換膜からの信号電荷として正孔を用いることができる。

【0044】

FDは、第1および第2のスイッチトランジスタ12, 13を介して、2つの光電変換部11の画素電極104と電気的につながったn形不純物領域からなるものである。

【0045】

出力トランジスタ14は、FDに蓄積された信号電荷を電圧信号に変換して信号線SLに出力するものである。出力トランジスタ14のゲート端子はFDに電気的に接続され、ドレイン端子は固体撮像素子の電源電圧V_{dd}が接続されている。また、出力トランジスタ14のソース端子は選択トランジスタ16のドレイン端子に接続されている。

10

【0046】

リセットトランジスタ15は、FDの電位を基準電位にリセットするものである。リセットトランジスタ15のドレイン端子にはFDが電気的に接続され、ソース端子には基準電圧R_Dが供給されている。

【0047】

リセットトランジスタ15のゲート端子に印加されるリセットパルスRSがハイレベルになると、リセットトランジスタ15がオンし、リセットトランジスタ15のソースからドレインに電子が注入される。そして、この電子の注入によってFDの電位が低下してFDの電位が基準電位にリセットされる。

20

【0048】

選択トランジスタ16は、そのソース端子が信号線SLに接続されるものであり、各複合画素部10の出力トランジスタ14から出力される信号を列ごとに設けられた信号線SLに選択的に出力するためのものである。選択トランジスタ16のゲート端子に印加される選択パルスRWがハイレベルになると、選択トランジスタ16はオンし、これにより各複合画素部10の出力トランジスタ14から出力された信号が信号線SLに出力される。

【0049】

図2は、図1に示した複合画素部10を2次元状に多数配列した固体撮像素子100の断面模式図である。なお、以下の説明では、図1に示した複合画素部10と同じ構成については同じ名称と符号を付している。

30

【0050】

固体撮像素子100は、図2に示すように、基板101と、絶縁層102と、接続電極103と、画素電極104と、接続部105と、接続部106と、光電変換層107と、対向電極108と、封止層110と、カラーフィルタ111と、遮光層113と、保護層114と、対向電極電圧供給部115と、読出し回路116とを備えている。

【0051】

基板101は、ガラス基板またはSi等の半導体基板である。基板101上には絶縁層102が形成されている。絶縁層102の表面には複数の画素電極104と1つ以上の接続電極103が形成されている。

40

【0052】

光電変換層107は、上述したように受光した光に応じて電荷を発生するものである。光電変換層107は、複数の画素電極104を覆うように設けられている。光電変換層107は、画素電極104の上では一定の膜厚となっているが、画素部以外(有効画素領域外)では膜厚が変化していても問題ない。

【0053】

対向電極108は、画素電極104と対向する電極であり、光電変換層107を覆うように設けられている。対向電極108は、光電変換層107よりも外側に配置された接続電極103の上にも形成されており、接続電極103と電気的に接続されている。

50

【 0 0 5 4 】

接続部 1 0 6 は、絶縁層 1 0 2 に埋設されており、接続電極 1 0 3 と対向電極電圧供給部 1 1 5 とを電氣的に接続するためのプラグなどである。対向電極電圧供給部 1 1 5 は、基板 1 0 1 に形成され、接続部 1 0 6 および接続電極 1 0 3 を介して対向電極 1 0 8 に所定の電圧を印加するものである。なお、対向電圧供給部 1 1 5 は、基板 1 0 1 に形成された構成ではなく、直接外部の電源とつながった構成としても良い。

【 0 0 5 5 】

読出し回路 1 1 6 は、図 1 に示した複合画素部 1 0 における第 1 および第 2 のスイッチトランジスタ 1 2 , 1 3 と、FD と、出力トランジスタ 1 4 と、リセットトランジスタ 1 5 と、選択トランジスタ 1 6 とを備え、絶縁層 1 0 2 中の金属配線（図示せず）で配線されたものである。

10

【 0 0 5 6 】

読出し回路 1 1 6 は、図 1 に示した列方向に配列された 2 つの光電変換部 1 1 毎に、基板 1 0 1 に 2 次元状に設けられるものであり、対応する 2 つの画素電極 1 0 4 で捕集された電荷に応じた信号を読出すものである。なお、読出し回路 1 1 6 は、絶縁層 1 0 2 内に配置された図示しない遮光層によって遮光されている。

【 0 0 5 7 】

封止層 1 1 0 は、対向電極 1 0 8 を覆うように設けられている。

【 0 0 5 8 】

カラーフィルタ 1 1 1 は、封止層 1 1 0 上の各画素電極 1 0 4 と対向する位置に形成されている。遮光層 1 1 3 は、封止層 1 1 0 上のカラーフィルタ 1 1 1 を設けた領域以外に形成されており、有効画素領域以外に形成された光電変換層 1 0 7 に光が入射するのを防止するものである。カラーフィルタ 1 1 1 としては、たとえばベイヤー配列のカラーフィルタを用いることができるが、これに限らず、補色型のカラーフィルタやその他の公知なカラーフィルタを用いることができる。

20

【 0 0 5 9 】

保護層 1 1 4 は、カラーフィルタ 1 1 1 および遮光層 1 1 3 上に形成されており、固体撮像素子全体を保護するものである。

【 0 0 6 0 】

図 3 は、図 2 に示した固体撮像素子 1 0 0 の周辺回路を含む全体構成を示す図である。図 3 に示すように、本実施形態の固体撮像素子 1 0 0 は、垂直ドライバ 1 2 1 と、制御部 1 2 2 と、信号処理回路 1 2 3 と、水平ドライバ 1 2 4 と、LVDS 1 2 5 と、シリアル変換部 1 2 6 と、パッド 1 2 7 とを備えている。図 3 に示す画素領域は、図 2 に示した固体撮像素子 1 0 0 の複合画素部 1 0 が配列された領域を表している。

30

【 0 0 6 1 】

画素領域には、各複合画素部 1 0 の出力トランジスタ 1 4 から信号が出力される信号線 SL が複合画素部 1 0 の列毎に設けられ、垂直ドライバ 1 2 1 からパルス信号が出力される走査線 GL が行毎に設けられている。なお、図 3 においては、各複合画素部 1 0 の行に対して走査線 GL を 1 本しか図示していないが、実際は、リセットトランジスタ 1 5 のゲート端子に接続され、リセットトランジスタ 1 5 に対してリセットパルス RS を供給するリセットパルス用走査線と、選択トランジスタ 1 6 のゲート端子に接続され、選択トランジスタ 1 6 に対して選択パルス RW を供給する選択パルス用走査線と、第 1 のスイッチトランジスタ 1 2 のゲート端子に接続され、第 1 のスイッチトランジスタ 1 2 に対して第 1 のスイッチパルス SW (n) を供給する第 1 のスイッチパルス用走査線と、第 2 のスイッチトランジスタ 1 3 に対して第 2 のスイッチパルス SW (n + 1) を供給する第 2 のスイッチパルス用走査線とが、複合画素部 1 0 の行毎にそれぞれ設けられている。

40

【 0 0 6 2 】

制御部 1 2 2 は、タイミングジェネレータ（以下、TG という）1 2 8 などを備えたものであり、フレーム同期信号 VD や行同期信号 HD を出力するとともに、垂直ドライバ 1 2 1 や水平ドライバ 1 2 4 の動作を制御することによって複合画素部 1 0 における電荷信

50

号の読み出しなどを制御するものである。

【0063】

垂直ドライバ121は、制御部122のTG128から出力されたタイミングパルス信号に基づいて、走査線GLを介して読出し回路116の各トランジスタに対してパルス信号を出力し、読出し回路116の動作を制御するものである。垂直ドライバ121から各走査線に出力されるパルス信号の出力タイミングについては、後で詳述する。

【0064】

信号処理回路123は、読出し回路116の各列に対応して設けられるものである。信号処理回路123は、対応する列から出力された信号に対し、相関二重サンプリング(CDS)処理を行ない、処理後の信号をデジタル信号に変換するADC回路を備えたものである。信号処理回路123で処理後の信号は、列毎に設けられたメモリに記憶される。

10

【0065】

水平ドライバ124は、信号処理回路123のメモリに記憶された画素部10の1行分の信号を順次読出してLVDS125に出力する制御を行なうものである。

【0066】

LVDS125は、LVDS(low voltage differential signaling)に従ってデジタル信号を伝送する。シリアル変換部126は、入力されるパラレルのデジタル信号をシリアルに変換して出力するものである。パッド127は、外部との入出力に用いるインターフェースである。

20

【0067】

次に、本実施形態の固体撮像素子100の動作について説明する。

【0068】

本実施形態の固体撮像素子100は、上述した複合画素部10における複数の光電変換部11の信号電荷を加算して読み出す方法(画素加算読出し)と、各光電変換部の信号電荷をそれぞれ別々に読み出す方法(単画素読出し)とを行うことができるものであるが、まず、信号電荷を加算して読み出す方法について説明する。なお、ここではn行目の光電変換部11とn+1行目の光電変換部11とを有する複合画素部10の読み出し方法について説明するが、実際には、2行単位で列方向に順次走査されて、同様の読み出しが行われる。

30

【0069】

図4は、第1および第2のスイッチトランジスタ12, 13に供給されるスイッチングパルス信号SW(n), SW(n+1)、リセットトランジスタ15に供給されるリセットパルス信号RS(n, n+1)、および選択トランジスタ16に供給される選択パルス信号RW(n, n+1)の垂直ドライバ121からの出力タイミングを示すタイミングチャートである。

【0070】

図4に示す読み出しの前には、各光電変換部11で発生した信号電荷に応じて各画素の容量11aの電位が変化している。

【0071】

図4に示すように、まず、第1および第2のスイッチトランジスタ12, 13に対してスイッチパルス信号SW(n), SW(n+1)が出力されるとともに、選択トランジスタ16に対して選択パルス信号RW(n, n+1)が出力される。

40

【0072】

そして、上述したパルス信号の供給によって、第1のスイッチトランジスタ12、第1のスイッチトランジスタ13および選択トランジスタ16がオンする。これによりn行目の光電変換部11とn+1行目の光電変換部11の容量11aに蓄積された信号電荷が加算されてFDに蓄積される。

【0073】

このとき、上述したように第1および第2のスイッチトランジスタ12の閾値電圧は、そのオンの期間に光電変換部11の容量11aの電位と、FDの電位とが同電位となるよ

50

うに設定されており、また、第1および第2のスイッチトランジスタ12, 13のゲート端子の電位も十分に深いポテンシャルまで下げられるため、光電変換部11の容量11aの電位とFDの電位とが同電位の状態となる。

【0074】

そして、FDの容量C2に蓄積された蓄積信号が、出力トランジスタ14によって電圧信号に変換されて蓄積信号として信号線SLに出力され、図4に示すt1において、信号処理回路123によって蓄積信号が取得される。

【0075】

その後、図4に示すt2において、リセットトランジスタ15に対してリセットパルスRS(n, n+1)が出力され、このリセットパルスRSによってリセットトランジスタ15がオンされ、FDの電位が基準電位にリセットされる。

10

【0076】

そして、リセットトランジスタ15がオフされてリセットが完了した直後のt3において、FDの電位がリセット信号として信号線SLに出力される。信号処理回路123において蓄積信号とリセット信号との差分が算出され、この差分を画像信号として用いることで固定パターンノイズがキャンセルすることができ、ノイズの少ない画像の取得が可能となる。

【0077】

上述した読み出し方法によれば、上述した転送トランジスタによる光電変換部11の容量C1からFDの容量C2への電荷転送を行わないため、不完全転送によるリニアリティ不良は発生しない。

20

【0078】

また、FDをリセットする際、第1および第2のスイッチトランジスタ12, 13および選択トランジスタ16がオンしたままであるので、FDと光電変換部11の容量C1との両方を完全にリセットすることが可能である。したがって、上述したような信号電荷の不完全転送およびリセット不良による残像が発生しない。

【0079】

次に、本実施形態の固体撮像素子100において、複合画素部10の各光電変換部11の信号電荷をそれぞれ別々に読み出す方法について説明する。図5は、このときの第1および第2のスイッチトランジスタ12, 13に供給されるスイッチングパルス信号SW(n), SW(n+1)、リセットトランジスタ15に供給されるリセットパルス信号RS(n, n+1)、および選択トランジスタ16に供給される選択パルス信号RW(n, n+1)の垂直ドライバ121からの出力タイミングを示すタイミングチャートである。

30

【0080】

図5に示すように、まず、第1のスイッチトランジスタ12に対してスイッチパルス信号SW(n)が出力されるとともに、選択トランジスタ16に対して選択パルス信号RW(n, n+1)が出力される。このとき、第2のスイッチトランジスタ13に対してスイッチパルス信号SW(n+1)は出力されない。

【0081】

上述したパルス信号の供給によって、第1のスイッチトランジスタ12および選択トランジスタ16がオンする。これによりn行目の光電変換部11の容量11aの電位とFDの電位とが同電位の状態となる。

40

【0082】

そして、FDの電位が、出力トランジスタ14によって電圧信号に変換されて蓄積信号として信号線SLに出力され、図5に示すt1において、信号処理回路123によって蓄積信号が取得される。

【0083】

その後、図4に示すt2において、リセットトランジスタ15に対してリセットパルスRS(n, n+1)が出力され、このリセットパルスRSによってリセットトランジスタ15がオンされ、FDの電位が基準電位にリセットされる。

50

【 0 0 8 4 】

そして、リセットトランジスタ 1 5 がオフされてリセットが完了した直後の t_3 において、FD の電位がリセット信号として信号線 S_L に出力される。信号処理回路 1 2 3 において蓄積信号とリセット信号との差分が算出され、この差分が n 行目の画像信号として取得される。

【 0 0 8 5 】

次に、第 2 のスイッチトランジスタ 1 3 に対してスイッチパルス信号 $SW(n+1)$ が出力されるとともに、選択トランジスタ 1 6 に対して選択パルス信号 $RW(n, n+1)$ が出力される。このとき、第 1 のスイッチトランジスタ 1 2 に対してスイッチパルス信号 $SW(n)$ は出力されない。

10

【 0 0 8 6 】

上述したパルス信号の供給によって、第 2 のスイッチトランジスタ 1 3 および選択トランジスタ 1 6 がオンする。これにより $n+1$ 行目の光電変換部 1 1 の容量 $11a$ の電位と FD の電位とが同電位の状態となる。

【 0 0 8 7 】

そして、FD の容量 C_2 に蓄積された蓄積信号が、出力トランジスタ 1 4 によって電圧信号に変換されて蓄積信号として信号線 S_L に出力され、図 5 に示す t_4 において、信号処理回路 1 2 3 によって蓄積信号が保持される。

【 0 0 8 8 】

その後、図 5 に示す t_5 において、リセットトランジスタ 1 5 に対してリセットパルス $RS(n, n+1)$ が出力され、このリセットパルス RS によってリセットトランジスタ 1 5 がオンされ、FD の電位が基準電位にリセットされる。

20

【 0 0 8 9 】

そして、リセットトランジスタ 1 5 がオフされてリセットが完了した直後の t_5 において、FD の電位がリセット信号として信号線 S_L に出力される。信号処理回路 1 2 3 において蓄積信号とリセット信号との差分が算出され、この差分が $n+1$ 行目の画像信号として取得される。

【 0 0 9 0 】

上述したように駆動することによって、複合画素部 1 0 における各行の光電変換部 1 1 の信号電荷を別々に読み出すことができる。

30

【 0 0 9 1 】

ここで、本実施形態の固体撮像素子 1 0 0 の複合画素部 1 0 の回路構成において、2 つの光電変換部 1 1 (画素) の信号電荷を加算して読み出した場合における画像信号の S/N と、信号電荷を加算せずに別々に読み出した場合における画像信号の S/N と、複数の光電変換部 (画素) の信号電荷を加算する回路構成ではなく、図 9 に示すような回路構成によって信号電荷を読み出した場合における画像信号の S/N とを比較検討した結果を図 6 に示す。

【 0 0 9 2 】

まず、左の欄は、図 9 に示すような、信号電荷の加算を行わない回路構成の場合における画像信号の S/N を検討した結果である。FD に蓄積される信号電荷を Q_{sig} 、FD の容量を $C_3=C_1+C_2$ とすると、出力トランジスタ 3 0 2 の出力信号は、 $Q_{sig}/(C_1+C_2)$ となる。なお、 C_1 は、本実施形態の複合画素部 1 0 の光電変換部 1 1 の容量 $11a$ の容量値であり、 C_2 は、本実施形態の複合画素部 1 0 の FD の容量値である。

40

【 0 0 9 3 】

そして、出力トランジスタ 3 0 2 の入力段以前における電荷レベルのノイズを Q_{noise} 、出力トランジスタ 3 0 2 の出力段以後に発生する出力トランジスタ 3 0 2 によるノイズを V_{noise} とすると、出力トランジスタ 3 0 2 の出力ノイズは、 $[Q_{noise}/(C_1+C_2)]^2 + V_{noise}^2$ となる。

【 0 0 9 4 】

したがって、信号電荷の加算を行わない回路構成の場合における画像信号の S/N は、 Q

50

$\text{sig.} / [\text{Qnoise}^2 + \{\text{Vnoise} \times (\text{C1} + \text{C2})^2\}]$ となる。

【0095】

次に、図6の中央の欄は、本実施形態の複合画素部10の回路構成において、信号電荷を加算せずに別々に読み出した場合における画像信号のS/Nを検討した結果である。FDに蓄積される信号電荷を Qsig. 、光電変換部11の容量11aの容量値を C1 、FDの容量値を C2 とすると、出力トランジスタ14の出力信号は、 $\text{Qsig.} / (\text{C1} + \text{C2})$ となる。そして、出力トランジスタ14の入力段以前における電荷レベルのノイズを Qnoise 、出力トランジスタ14の出力段以後に発生する出力トランジスタ302によるノイズを Vnoise とすると、出力トランジスタ14の出力ノイズは、 $[\{\text{Qnoise} / (\text{C1} + \text{C2})\}^2 + \text{Vnoise}^2]$ となる。

【0096】

したがって、本実施形態の複合画素部10の回路構成において、信号電荷を加算せずに別々に読み出した場合における画像信号のS/Nは、 $\text{Qsig.} / [\text{Qnoise}^2 + \{\text{Vnoise} \times (\text{C1} + \text{C2})^2\}]$ となり、図9の信号電荷の加算を行わない回路構成の場合における画像信号のS/Nと同等の画像信号が得られることがわかる。

【0097】

次に、右の欄は、本実施形態の複合画素部10の回路構成において、信号電荷を加算して読み出した場合における画像信号のS/Nを検討した結果である。加算された信号電荷を $2 \times \text{Qsig.}$ 、光電変換部11の容量11aの容量値を C1 、FDの容量値を C2 とすると、出力トランジスタ14の出力信号は、 $2 \times \text{Qsig.} / (2 \times \text{C1} + \text{C2})$ となる。そして、出力トランジスタ14の入力段以前における電荷レベルのノイズは、 $2 \times \text{Qnoise}$ と上述した場合と比較すると2倍であり、出力トランジスタ14の出力段以後に発生する出力トランジスタ14によるノイズは Vnoise であるので、出力トランジスタ14の出力ノイズは、 $[\{2 \times \text{Qnoise} / (2 \times \text{C1} + \text{C2})\}^2 + \text{Vnoise}^2]$ となる。

【0098】

したがって、本実施形態の複合画素部10の回路構成において、信号電荷を加算して読み出した場合における画像信号のS/Nは、 $\text{Qsig.} / [(1/2) \times \text{Qnoise}^2 + \{\text{Vnoise} \times (\text{C1} + (1/2) \times \text{C2})^2\}]$ となる。すなわち、この場合、信号電荷と比較すると、出力トランジスタ14の入力段の電荷レベルのノイズ信号に対しては、 $(1/2)$ に抑圧され、出力段のノイズは、 $\{\text{C1} + (1/2) \times \text{C2}\} / (\text{C1} + \text{C2})$ に抑圧されていることがわかる。

【0099】

よって、本実施形態の複合画素部10によれば、信号電荷を加算して読み出した場合には加算しない場合に比べて高いS/Nを実現できる。また、信号電荷を別々に読み出した場合には、従来の画像信号のS/Nと同等のS/Nが得られる。したがって、本発明の固体撮像素子によれば、入射光量が大きい条件では画素加算をせずに高解像度の画像を取得し、入射光量が小さい条件では画素加算によりS/Nの高い画像を取得することが可能である。

【0100】

なお、上記実施形態の固体撮像素子100においては、第1および第2のスイッチトランジスタ12、13、リセットトランジスタ15、出力トランジスタ14および選択トランジスタ16をnチャネルMOSトランジスタから構成し、画素電極104によって正孔を捕集するようにしたが、これに限らず、画素電極104によって電子を捕獲するようにしてもよい。また、トランジスタをpチャネルMOSトランジスタから構成するようにし、画素電極104で電子または正孔を捕集し、その電子の量に応じた電荷信号を、pチャネルMOSトランジスタで構成された信号読出し回路116で読み出すようにしてもよい。

【0101】

また、上述した実施形態の固体撮像素子は、種々の撮像装置に用いることができる。撮像装置としては、たとえばデジタルカメラ、デジタルビデオカメラ、電子内視鏡、カメラ付携帯電話などがある。

【符号の説明】

10

20

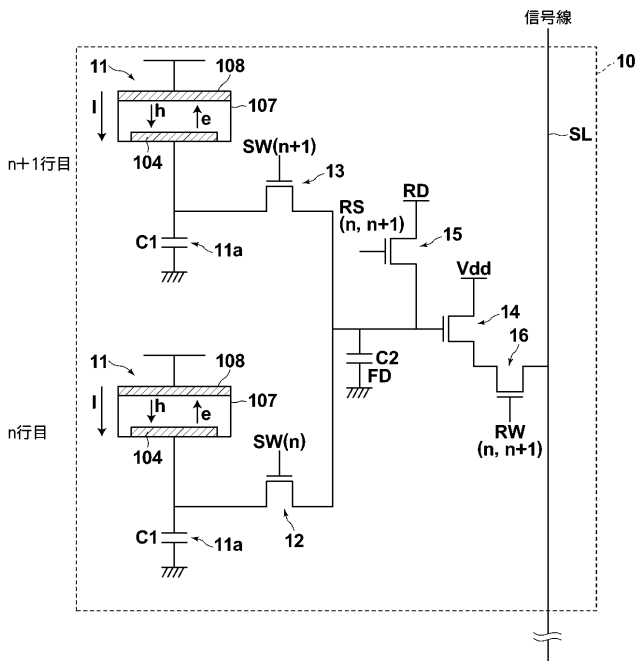
30

40

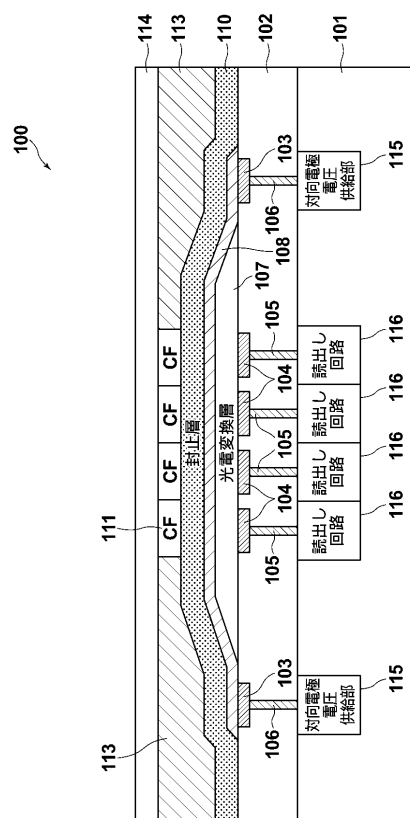
50

- 【 0 1 0 2 】
- 1 0 複合画素部
- 1 1 光電変換部
- 1 2 , 1 3 スイッチトランジスタ
- 1 4 出力トランジスタ
- 1 5 リセットトランジスタ
- 1 6 選択トランジスタ
- 1 0 0 固体撮像素子
- 1 0 4 画素電極
- 1 0 7 光電変換層
- 1 0 8 対向電極
- 1 1 6 読み出し回路
- F D フローティングディフュージョン

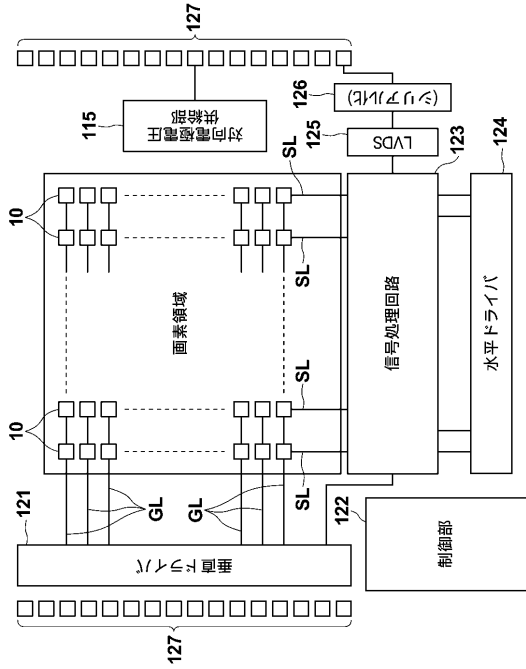
【 図 1 】



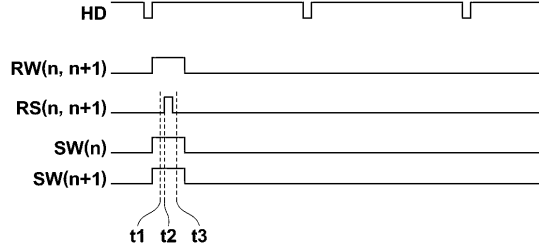
【 図 2 】



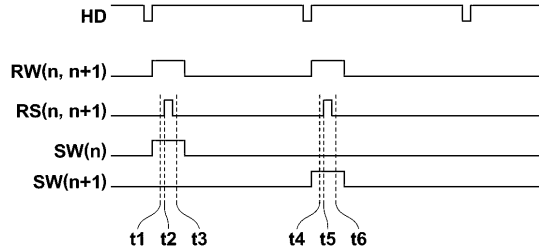
【 図 3 】



【 図 4 】



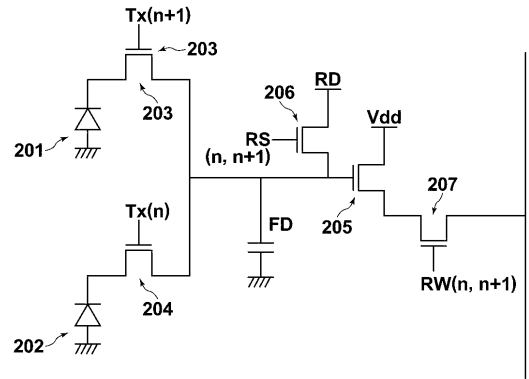
【 図 5 】



【 図 6 】

	画素加算なし回路	画素加算あり回路 画素加算せず駆動	画素加算あり回路 画素加算して駆動
信号電荷	Q_{sig}	Q_{sig}	$2 \times Q_{sig}$
出力トランジスタ入力段以前のノイズ	Noise	Noise	$\sqrt{2} \times Q_{sig}$
出力トランジスタ入力段以後のノイズ	Noise	Noise	Noise
光電変換部の容量	C_3	C_1	$C_1 \times 2$
FD+光電変換部の容量	$(=C_1+C_2)$	C_1+C_2	$2 \times C_1+C_2$
出力信号	$Q_{sig} / (C_1+C_2)$	$Q_{sig} / (C_1+C_2)$	$2 \times Q_{sig} / (2 \times C_1+C_2)$
出力ノイズ	$\sqrt{[Noise / (C_1+C_2)]^2 + [Noise]^2}$	$\sqrt{[Noise / (C_1+C_2)]^2 + [Noise]^2}$	$\sqrt{[2 \times Q_{sig} / (2 \times C_1+C_2)]^2 + [Noise]^2}$
S/N	$Q_{sig} / \sqrt{[Noise]^2 + [Noise \times (C_1+C_2)]^2}$	$Q_{sig} / \sqrt{[Noise]^2 + [Noise \times (C_1+C_2)]^2}$	$Q_{sig} / \sqrt{[(1/2) \times Q_{sig}]^2 + [Noise \times (C_1+(1/2) \times C_2)]^2}$

【 図 7 】



【 図 8 】

